

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7659250号
(P7659250)

(45)発行日 令和7年4月9日(2025.4.9)

(24)登録日 令和7年4月1日(2025.4.1)

(51)Int. Cl.	F I
H 0 3 M 13/11 (2006. 01)	H 0 3 M 13/11
H 0 4 L 1/00 (2006. 01)	H 0 4 L 1/00 B
	H 0 4 L 1/00 A

請求項の数 4 (全 22 頁)

(21)出願番号 特願2020-171553(P2020-171553)	(73)特許権者 506301140
(22)出願日 令和2年10月9日(2020. 10. 9)	公立大学法人会津大学
(65)公開番号 特開2022-63152(P2022-63152A)	福島県会津若松市一箕町大字鶴賀字上居合
(43)公開日 令和4年4月21日(2022. 4. 21)	9 0 番地
審査請求日 令和5年9月26日(2023. 9. 26)	(74)代理人 100094525
特許法第30条第2項適用 (1) 令和2年3月23日	弁理士 土井 健二
に https://ieeexplore.ieee.org/document/9044845 にて発表	(74)代理人 100094514
。	弁理士 林 恒徳
	(72)発明者 ベン アブダラ アブデラゼク
	福島県会津若松市一箕町大字鶴賀字上居合
	9 0 番地 公立大学法人会津大学内

最終頁に続く

(54)【発明の名称】 複数のリンク内の複数誤りを検出する複数誤り検出回路及び複数誤り検出回路を有する誤り訂正回路

(57)【特許請求の範囲】

【請求項1】

行列状に配列された複数のリンクそれぞれに1ビットの信号を出力する送信回路と、前記複数のリンクを伝播してきた信号を受信する受信回路とを有し、前記送信回路は、

M行N列のデータに含まれる各行のN個の行ビット群の行パリティビットと、各列のM個の列ビット群の列パリティビットを生成し、

前記M行N列のデータに前記行パリティビットと前記列パリティビットを加えたM+1行N+1列の符号語を前記複数のリンクに出力し、

前記受信回路は、

前記複数のリンクを伝播してきた前記符号語の各行のN+1個の行ビット群のパリティビットである行チェックビットと、各列のM+1個の列ビット群のパリティビットである列チェックビットとを生成し、

前記行チェックビットの1の数が2または2より大きい数であるか、または前記列チェックビットの1の数が2または2より大きい数である場合に、複数誤り検出信号を生成し、

前記各列のM個の列ビット群は、第2行から第M行で行シフト量だけプラスまたはマイナスの行方向にシフトさせたビット群であり、または

前記各行のN個の行ビット群は、第2列から第N列で列シフト量だけプラスまたはマイナスの列方向にシフトさせたビット群であり、

前記行シフト量はMの1 / 2乗の切り上げまたは切り下げた正または負の整数値であり

、
前記列シフト量はNの1 / 2乗の切り上げまたは切り下げた正または負の整数値である
、複数誤り検出回路。

【請求項2】

行列状に配列された複数のリンクそれぞれに1ビットの信号を出力する送信回路と、
前記複数のリンクを伝播してきた信号を受信する受信回路とを有する送受信回路の複数
誤り検出方法であって、

前記送信回路は、

M行N列のデータに含まれる各行のN個の行ビット群の行パリティビットと、各列のM
個の列ビット群の列パリティビットを生成し、

前記M行N列のデータに前記行パリティビットと前記列パリティビットを加えたM + 1
行N + 1列の符号語を前記複数のリンクに出力し、

前記受信回路は、

前記複数のリンクを伝播してきた前記符号語の各行のN + 1個の行ビット群のパリティ
ビットである行チェックビットと、各列のM + 1個の列ビット群のパリティビットである
列チェックビットとを生成し、

前記行チェックビットの1の数が2または2より大きい数であるか、または前記列チェ
ックビットの1の数が2または2より大きい数である場合に、複数誤り検出信号を生成し

、
前記各列のM個の列ビット群は、第2行から第M行で行シフト量だけプラスまたはマイ
ナスの行方向にシフトさせたビット群であり、または

前記各行のN個の行ビット群は、第2列から第N列で列シフト量だけプラスまたはマイ
ナスの列方向にシフトさせたビット群であり、

前記行シフト量はMの1 / 2乗の切り上げまたは切り下げた正または負の整数値であり

、
前記列シフト量はNの1 / 2乗の切り上げまたは切り下げた正または負の整数値である
複数誤り検出方法。

【請求項3】

行列状に配列された複数のリンクそれぞれに1ビットの信号を出力する送信回路と、

前記複数のリンクを伝播してきた信号を受信する受信回路とを有し、

前記送信回路は、

M行N列のデータに含まれる各行のN個の行ビット群の行パリティビットと、各列
のM個の列ビット群の列パリティビットを生成し、

前記M行N列のデータに前記行パリティビットと前記列パリティビットを加えたM
+ 1行N + 1列の符号語を前記複数のリンクに出力し、

前記受信回路は、

前記複数のリンクを伝播してきた前記符号語の各行のN + 1個の行ビット群のパリ
ティビットである行チェックビットと、各列のM + 1個の列ビット群のパリティビットで
ある列チェックビットとを生成し、

前記行チェックビットの1の数が2または2より大きい数であるか、または前記列
チェックビットの1の数が2または2より大きい数である場合に、複数誤り検出信号を生
成し、

前記行チェックビットが1の行ビット群と前記列チェックビットが1の列ビット群
との交差位置のリンクの信号を反転して誤り訂正し、前記複数誤り検出信号が生成され
ない場合、前記誤り訂正したM行N列のデータを出力し、

前記各列のM個の列ビット群は、第2行から第M行で行シフト量だけプラスまたはマイ
ナスの行方向にシフトさせたビット群であり、または

前記各行のN個の行ビット群は、第2列から第N列で列シフト量だけプラスまたはマイ
ナスの列方向にシフトさせたビット群であり、

10

20

30

40

50

前記行シフト量はMの1/2乗の切り上げまたは切り下げた正または負の整数値であり

、
前記列シフト量はNの1/2乗の切り上げまたは切り下げた正または負の整数値である
誤り訂正回路。

【請求項4】

行列状に配列された複数のリンクそれぞれに1ビットの信号を出力する送信回路と、
前記複数のリンクを伝播してきた信号を受信する受信回路とを有する送受信回路の誤り
訂正方法であって、

前記送信回路は、

M行N列のデータに含まれる各行のN個の行ビット群の行パリティビットと、各列のM
個の列ビット群の列パリティビットを生成し、

前記M行N列のデータに前記行パリティビットと前記列パリティビットを加えたM+1
行N+1列の符号語を前記複数のリンクに出力し、

前記受信回路は、

前記複数のリンクを伝播してきた前記符号語の各行のN+1個の行ビット群のパリティ
ビットである行チェックビットと、各列のM+1個の列ビット群のパリティビットである
列チェックビットとを生成し、

前記行チェックビットの1の数が2または2より大きい数であるか、または前記列チェ
ックビットの1の数が2または2より大きい数である場合に、複数誤り検出信号を生成し

、
前記行チェックビットが1の行ビット群と前記列チェックビットが1の列ビット群との
交差位置のリンクの信号を反転して誤り訂正し、前記複数誤り検出信号が生成されない場
合、前記誤り訂正したM行N列のデータを出力し、

前記各列のM個の列ビット群は、第2行から第M行で行シフト量だけプラスまたはマイ
ナスの行方向にシフトさせたビット群であり、または

前記各行のN個の行ビット群は、第2列から第N列で列シフト量だけプラスまたはマイ
ナスの列方向にシフトさせたビット群であり、

前記行シフト量はMの1/2乗の切り上げまたは切り下げた正または負の整数値であり

、
前記列シフト量はNの1/2乗の切り上げまたは切り下げた正または負の整数値である
誤り訂正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のリンク内の複数誤りを検出する複数誤り検出回路及び複数誤り検出回
路を有する誤り訂正回路に関する。

【背景技術】

【0002】

リンクは、複数のデバイス間で信号を伝送する接続配線である。二次元配列された複数
のIC(Integrated Circuit)チップは、複数のリンクを介して複数の信号を伝送する。ま
た、三次元集積回路(3D IC)は、複数のICチップをZ軸方向に重ねた構造を有する。3D
ICの複数のICチップは、各チップに形成された二次元配列のスルーシリコンビア(Throug
h Silicon Via, TSV)を介して、複数の信号を伝送する。この場合、TSVはリンクの機能
を有する。

【0003】

3D ICにおいて、TSVの信頼性を上げることは重要である。TSVの欠陥は、TSVがオープン
(切断)状態になること、TSVがシリコン基板に短絡すること、2以上のTSVが導電性材料
により接続されることなどを含む。これらの欠陥を持つTSVでは、送信側チップからの信
号、すなわちハイレベルとローレベルの電圧が、受信側チップに正しく伝達されない。

【0004】

10

20

30

40

本発明者らは、3D ICのTSVのエラービット修正を可能にするパリティチェックに基づく二次元パリティ・プロダクト・コード (Two Dimensional Parity Product Code: 2D PPC) を提案した。2D PPCは、非特許文献 1 に開示される。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献 1】 K. N. Dang, M. Meyer, A. B. Ahmed, A. B. Abdallah, and X.-T. Tra n, " 2DPPC: A single-correction multiple-detection method for Through-Silicon-Vi a Faults," in 2019 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2019), 2019.

10

【非特許文献 2】 " Hardened Design Based on Advanced Orthogonal Latin Code agains t Two Adjacent Multiple Bit Upsets (MBUs) in Memories ", 2015 IEEE, Liyi Xiao, J iaqiang Li, Jie Li and Jing Guo Microelectronics Center, Harbin Institute of Te chnology, Harbin, HLJ 150001, China

【非特許文献 3】 " A Method to Extend Orthogonal Latin Square Codes ", IEEE TRANS ACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 22, NO. 7, JULY 201 4, Pedro Reviriego, Salvatore Pontarelli, Alfonso Sanchez-Macian, and Juan Antoni o Maestro

【発明の概要】

【発明が解決しようとする課題】

20

【0006】

2D PPCは、二次元配列された複数のTSVの中から1つの欠陥TSVが検出された場合、その1つの欠陥TSVの信号の誤りを訂正できる。一方、2または2より多いマルチプル欠陥TSV (複数の欠陥TSV) が検出された場合、それらの信号の誤りを訂正できない。この場合、受信側チップの誤り訂正回路が出力する誤り訂正された信号は信頼性がない。

【0007】

しかしながら、2D PPCでは、マルチプル欠陥を正しく検出できない場合がある。例えば、偶数の欠陥が二次元のTSVの同じ列 (column) 上にまたは同じ行 (row) 上に存在する場合、2D PPCのパリティビットでは欠陥を検出できない。

【0008】

30

そこで、本実施の形態の第1の側面の目的は、二次元配列された複数のリンクに発生する複数の欠陥の検出率が高い複数欠陥検出回路及び複数欠陥検出回路を有する誤り訂正回路提供することにある。

【課題を解決するための手段】

【0009】

本実施の形態の第1の側面は、行列状に配列された複数のリンクそれぞれに1ビットの信号を出力する送信回路と、

前記複数のリンクを伝播してきた信号を受信する受信回路とを有し、

前記送信回路は、

M行N列のデータに含まれる各行のN個の行ビット群の行パリティビットと、各列のM個の列ビット群の列パリティビットを生成し、

40

前記M行N列のデータに前記行パリティビットと前記列パリティビットを加えたM + 1行N + 1列の符号語を前記複数のリンクに出力し、

前記受信回路は、

前記複数のリンクを伝播してきた前記符号語の各行のN + 1個の行ビット群のパリティビットである行チェックビットと、各列のM + 1個の列ビット群のパリティビットである列チェックビットとを生成し、

前記行チェックビットの1の数が2または2より大きい数であるか、または前記列チェックビットの1の数が2または2より大きい数である場合に、複数誤り検出信号を生成し、

50

前記各列のM個の列ビット群は、第2行から第M行で行シフト量だけプラスまたはマイナスの行方向にシフトさせたビット群であり、または

前記各行のN個の行ビット群は、第2列から第N列で列シフト量だけプラスまたはマイナスの列方向にシフトさせたビット群である、複数誤り検出回路である。

【発明の効果】

【0010】

第1の側面によれば、複数誤りの検出率を高くできる。

【図面の簡単な説明】

【0011】

【図1】3D ICの一例の断面図と平面図を示す図である。

10

【図2】送信側デバイスと受信側デバイスとそれらの間に設けられるリンクとを示す概略的な回路図である。

【図3】送信回路Txのエンコーダの動作を示す図である。

【図4】受信回路Rxのデコーダの動作を示す図である。

【図5】チェックビットに基づく誤りビットの検出を説明する図である。

【図6】エンコーダとデコーダの構成を示す図である。

【図7】PPCの課題を示す図である。

【図8】拡張PPCにおける符号語CDWD_2の例を示す図である。

【図9】第1の実施の形態における送信側デバイスと受信側デバイスの概略的な構成例を示す図である。

20

【図10】図9の構成の詳細な回路構成例を示す図である。

【図11】送信回路での行シフト及び列シフトの動作を示す図である。

【図12】送信回路での行シフト及び列シフトの動作を示す図である。

【図13】受信回路での行シフト及び列シフトの動作を示す図である。

【図14】受信回路での行シフト及び列シフトの動作を示す図である。

【図15】拡張PPCを適用しても複数の誤りビットを検出できない例を示す図である。

【図16】拡張PPCにおけるパリティリンク上の隣接ビット間の最小ユークリッド距離を最大にする行シフト量の算出方法を示す図である。

【図17】ある欠陥TSVパターンについて、行シフト量 $s = \pm 1$ 、列シフト量 $s = \pm 1$ の拡張PPCで生成した符号語CDWD_2のチェックビット s_r 、 s_c の例を示す図である。

30

【図18】図17と同じ欠陥TSVパターンについて、行シフト量 $s = N^{1/2}$ または列シフト量 $s = M^{1/2}$ の拡張PPCで生成した符号語CDWD_2のチェックビット s_r 、 s_c の例を示す図である。

【発明を実施するための形態】

【0012】

図1は、3D ICの一例の断面図と平面図を示す図である。図1(A)は3D ICを縦方向に切断した場合の断面図であり、図1(B)はチップCHP3を水平方向に切断した場合の平面図である。断面図に示すとおり、3D ICは、例えば、制御回路が形成されたチップCHP0の上に被制御回路が形成された4つのチップCHP1~CHP4が積み重ねられる。チップCHP0は、図示しないパッケージ基板上に搭載される。チップCHP0の上面に制御回路が形成される。4つのチップCHP1~CHP4は、被制御回路が形成された面をフェイスダウンで、チップCHP0上に積み重ねられる。3つのチップCHP1~CHP3には、チップ間の信号を伝播する複数のTSVが行列状に形成される。そして、チップCHP0とチップCHP1~CHP4は、半田バンプBMPを介して積層される。半田バンプBMPは、垂直方向のTSV間を電氣的に接続すると共に、5つのチップCHP0~CHP4を積層する。

40

【0013】

図1(B)の平面図は、チップCPH3に形成された5行5列の行列状の複数のTSVを示す。5行5列のTSVは、25ビットの信号を並列に伝播する。

【0014】

例えば、4つのチップCHP1~CHP4は、DRAMチップである。チップCHP0は、TSVを介して

50

4つのDRAMチップに制御信号や書き込みデータを送信し、4つのDRAMチップは、TSVを介してチップCHP0に読み出しデータを送信する。TSVとTSV間を接続するバンプBMPは、チップ間のデータ信号を伝播するリンクである。

【0015】

[PPCの概略]

プロダクト・コード (Product Code or PC)は、誤り訂正コード (Error Correction Code ECC) において通常の技術的用語である。PCでは、二次元の入力データの各行と各列にそれぞれのECCを付加したコードである。プロダクト・コード (PC) は、例えば、米国特許8856616において二次元エンコーディングと称される。本明細書では、プロダクト・コードにおいてECCとしてパリティビットを使用するコードを、パリティ・プロダクト・コード (Parity Product Coding PPC) と称する。以下、PPCの概略について説明する。

10

【0016】

図2は、送信側デバイスと受信側デバイスとそれらの間に設けられるリンクとを示す概略的な回路図である。送信側デバイスDEVICE_1は、送信回路Txを有する。送信回路Txは、送信側デバイスが出力するデータDATA_1を符号語CDWD_1に変換し、リンクLINKに出力する。受信側デバイスDEVICE_2は、受信回路Rxを有する。受信回路Rxは、リンクLINKを伝搬してきた符号語CDWD_2から誤り訂正されたデータDATA_2を生成する。誤り訂正されたデータDATA_2は受信側デバイスに入力される。リンクLINKは、図1に示した二次元の複数のTSVである。

【0017】

送信回路Txは、データDATA_1にパリティビットを付加して符号語CDWD_1を生成するECC (Error Correction Code) エンコーダである。また、受信回路Rxは、ECCデコーダである。ECCデコーダは、リンクLINKを伝播してきた符号語CDWD_2のパリティビットを生成し、符号語CDWD_2のエラーを検出し、1ビットエラーを訂正して受信データDATA_2を出力する。エンコーダとデコーダが、欠陥TSVにより発生した受信データのエラーを訂正する。

20

【0018】

パリティビットを使用するエラー訂正は、1ビットのエラーを訂正できるが、2ビット及び2ビットより多いエラー (マルチプルエラー) を訂正できない。そこで、受信回路のデコーダは、受信した符号語CDWD_2にマルチプルエラーが発生したか否かをチェックし、マルチプルエラーが発生した場合マルチプルエラー検出信号NACKを出力する。マルチプルエラー検出信号NACKに基づいて、受信側デバイスDEVICE_2は、デコーダが出力したデータDATA_2は信頼性があるか否かを判断する。

30

【0019】

本明細書では、欠陥TSVにより発生するエラービットまたは誤りビットを、しばしば欠陥ビットと称する。エラービット、誤りビット、欠陥ビットは同じ意味である。

【0020】

図3は、送信回路Txのエンコーダの動作を示す図である。送信側デバイスDEVICE_1は、4行4列 (16ビット) のデータDATA_1を受信側デバイスDEVICE_2に送信する。16ビットのデータの値 (0または1) は、送信側デバイスの動作に基づいて決定され、または受信側デバイスの受信回路の動作に基づいて決定される。4行4列は一例であり、一般化するとデータDATA_1はM行N列のデータである。

40

【0021】

エンコーダENCODERは、各行のビット群にそのビット群のパリティビットPRTY_rowを加えて符号語を生成する。更に、エンコーダは、各列のビット群にそのビット群のパリティビットPRTY_colを加えて符号語を生成する。符号語は、1の数が偶数となるビット群である。パリティビットPRTY_rowは行パリティビット r_i 、パリティビットPRTY_colは列パリティビット c_j とそれぞれ称する。また、全パリティビットPRTY_allは、4行4列の全ビットのパリティビットであり、または、行パリティビットPRTY_rowと列パリティビットPRTY_colのパリティビットである。

【0022】

50

エンコーダは、上記のM行N列のデータDATA_1からM + 1行N + 1列の符号語CDWD_1を、以下の数式により算出する。

【 0 0 2 3 】

【 数 1 】

$$F_k = \begin{bmatrix} b_{0,0} & b_{0,1} & \dots & b_{0,N-1} & r_0 \\ b_{1,0} & b_{1,1} & \dots & b_{1,N-1} & r_1 \\ \dots & \dots & \dots & \dots & \dots \\ b_{M-1,0} & b_{M-1,1} & \dots & b_{M-1,N-1} & r_{M-1} \\ c_0 & c_1 & \dots & c_{N-1} & u \end{bmatrix} \quad (0)$$

$$r_i = b_{i,0} \oplus b_{i,1} \oplus \dots \oplus b_{i,N-1} \quad (1)$$

$$c_j = b_{0,j} \oplus b_{1,j} \oplus \dots \oplus b_{M-1,j} \quad (2)$$

$$u = \bigoplus_{i=0}^{N-1} \bigoplus_{j=0}^{M-1} b_{i,j} \quad (3)$$

ここで、 F_k は符号語CDWD_1であり、 $b_{i,j}$ はデータDATA_1の要素ビットであり、 r_i は行パリティビットPRTY_rowであり、 c_j は列パリティビットPRTY_colであり、 u は全パリティビットPRTY_allである。各パリティビットは、それぞれのビット群の排他的論理和である。

20

【 0 0 2 4 】

5行5列の符号語CDWD_1は、図1に示した5行5列のTSVに並列に入力される。5行5列のTSVは、4行4列のデータDATA_1を伝播する16個のTSVと、パリティビットPRTY_row, PRTY_col, PRTY_allを伝播する9個のTSVとを有する。

【 0 0 2 5 】

図4は、受信回路Rxのデコーダの動作を示す図である。受信回路Rxであるデコーダは、TSVを伝播してきた符号語CDWD_2を入力し、各行のビット群のチェックビット sr_i ($i=0 \sim M-1$)、 sr_M と、各列のビット群のチェックビット sc_j ($j=0 \sim N-1$)、 sc_N を以下の数式により算出する。

30

【 0 0 2 6 】

【 数 2 】

$$sr_i = b_{i,0} \oplus b_{i,1} \oplus \dots \oplus b_{i,N-1} \oplus r_i \quad (4)$$

$$sc_j = b_{0,j} \oplus b_{1,j} \oplus \dots \oplus b_{M-1,j} \oplus c_j \quad (5)$$

$$sr_M = c_0 \oplus c_1 \oplus \dots \oplus c_{N-1} \oplus u \quad (6)$$

$$sc_N = r_0 \oplus r_1 \oplus \dots \oplus r_{M-1} \oplus u \quad (7)$$

上記各行のビット群のチェックビット sr_i 、 sr_M と、各列のビット群のチェックビット sc_j 、 sc_N は、それぞれのビット群に誤りがなければ0になり、それぞれのビット群に1つの誤りがあれば1になる。但し、それぞれのビット群に偶数の誤りがある場合も0になり、それぞれのビット群に3以上の奇数個の誤りがある場合も1になる。したがって、上記パリティビットは、誤りビットまたは反転ビット (flipped bit) を検出するチェックビットである。誤りビットは、TSVが不良 (fault) または故障 (defect) の場合に発生した反転ビット (flipped bit) である。

【 0 0 2 7 】

図5は、チェックビットに基づく誤りビットの検出を説明する図である。図5 (A) は

、受信した符号語CDWD_2に1つのみの誤りビットEB（不良TSVまたは故障TSV）または反転ビットが含まれている例である。この例では、誤りビットEBは符号語CDWD_2の（2，2）の位置に発生している。この場合、前述の数式（4）（5）によりチェックビットは $sr_2=1$ 、 $sc_2=1$ となり、（2，2）の位置に誤りビットまたは故障TSVがあることが検出される。

【0028】

すなわち、デコーダは、以下の数式（8）により反転ビット $f_{i,j}$ を検出できる。数式（8）によれば、反転ビット $f_{i,j}$ は、チェックビットが $sr_i=1$ 、 $sc_j=1$ の場合 $f_{i,j}=1$ になり、それ以外の場合 $f_{i,j}=0$ になる。そして、この反転ビット $f_{i,j}$ をマスクビット $m_{i,j}$ とするマスク行列Mask（数式（9））に基づいて、デコーダは、誤りビットを有する受信符号語 F^k を誤り訂正された符号語 F_k に変換できる。数式（10）がこの変換式である。

10

【0029】

【数3】

$$f_{i,j}, m_{i,j} = \begin{cases} 1 & \text{if } sr_i == 1 \text{ and } sc_j == 1 \\ 0 & \text{otherwise.} \end{cases} \quad (8)$$

$$Mask = \begin{bmatrix} m_{0,0} & \dots & m_{0,N-1} & m_{0,N} \\ m_{1,0} & \dots & m_{1,N-1} & m_{1,N} \\ \dots & \dots & \dots & \dots \\ m_{M-1,0} & \dots & m_{M-1,N-1} & m_{M-1,N} \\ m_{M,0} & \dots & m_{M,N-1} & m_{M,N} \end{bmatrix} \quad (9)$$

$$F_k = \widehat{F}_k \oplus Mask \quad (10)$$

図5（B）は、受信した符号語CDWD_2に2個の誤りビットまたは反転ビットが含まれている例である。この例では、誤りビットEBは符号語CDWD_2の（0，1）と（2，2）の位置に発生している。この場合、前述の数式（4）（5）によりチェックビットは $sr_1=1$ 、 $sc_0=1$ 、 $sr_2=1$ 、 $sc_2=1$ となり、デコーダは、誤りビットまたは反転ビットが2または2より多く発生していることを検出する。その結果、デコーダは、受信した符号語CDWD_2の誤りビットまたは反転ビットを特定できず、誤り訂正できない。なぜなら、誤りビットEBが符号語CDWD_2の（1，2）と（2，0）の位置に発生している可能性があるからである。

【0030】

このように、パリティ・プロダクト・コードPPCによる符号語の誤り訂正では、デコーダは、行及び列チェックビットがそれぞれ1つ「1」となり、1つの誤りビットまたは反転ビットを検出した場合のみ、誤りビットの訂正を行うことができる。一方、行または列チェックビットが複数「1」となり、2または2より多い誤りビットまたは反転ビット（マルチプル誤りビット、複数誤りビット、複数欠陥ビット）を検出した場合、デコーダは、誤り訂正された符号語は信頼性がないと判断しなければならない。

40

【0031】

したがって、デコーダは、複数誤りビットを検出する複数誤り検出回路と誤り訂正回路を有する。誤り訂正回路の数式は数式（10）で説明した。複数誤り検出回路の数式は、以下の数式（11）のとおりである。

【0032】

【数 4】

$$\text{NACK(Two or more Fault_detected)} = \sum_{i=0}^N sc_i \geq 2 \text{ or } \sum_{j=0}^M sr_j \geq 2 \quad (11)$$

この数式(11)に基づいて、行チェックビット $sc_i=1$ の合計が2以上または列チェックビット $sr_j=1$ の合計が2以上の場合、複数誤り検出回路は、複数誤り検出信号NACKをNACK=1とする。

【0033】

図6は、エンコーダとデコーダの構成を示す図である。エンコーダENCODERは、入力Dinとして、M行N列のデータDATA_1を入力する。エンコーダは、データDATA_1の各行のビット群(Nビット)の行パリティビット(Mビット)を生成する行エンコーダ(Row Encoders)10と、各列のビット群(Mビット)の列パリティビット(Nビット)を生成する列エンコーダ(Col. Encoders)11と、行パリティビットと列パリティビットから1ビットの最終パリティビット(Ultimate Check Bit)を生成する最終エンコーダ(Ulti. Encoder)12を有する。エンコーダは、データDATA_1に行パリティビットと列パリティビットと最終パリティビットを加えて、M+1行N+1列の符号語CDWD_1を出力する。符号語CDWD_1がエンコーダの出力Doutとなる。

10

【0034】

一方、デコーダDECODERは、入力Dinとして、受信したM+1行N+1列の符号語CDWD_2を入力する。デコーダは、受信符号語CDWD_2の各行のビット群(N+1ビット)の行チェックビット(M+1ビット)srを生成する行デコーダ(Row Decoders)20と、各列のビット群(M+1ビット)の列チェックビット(N+1ビット)scを生成する列デコーダ(Col. Decoders)21を有する。そして、誤り訂正回路26は、行チェックビットsrと列チェックビットscに基づいて生成されたマスクMask(式(9))に基づき、受信符号語CDWD_2の誤りビットを訂正する。出力Doutは、誤り訂正回路26により誤り訂正された受信データDATA_2である。

20

【0035】

さらに、デコーダは、複数誤り検出回路25を有する。複数誤り検出回路25は、行チェックビットsrの1をカウントし、カウント値が2以上か否か判定する行複数誤り検出回路22と、列チェックビットscの1をカウントし、カウント値が2以上か否か判定する列複数誤り検出回路23とを有する。そして、複数誤り検出回路25は、両複数誤り検出回路22, 23の出力の論理和を計算する論理和ゲート24を有する。複数誤り検出回路25は、複数誤りを検出すると複数誤り検出信号NACKを1にする。

30

【0036】

この複数誤り検出信号NACKは、図2に示すとおり、受信側のデバイスDEVICE_2に出力される。受信側のデバイスDEVICE_2は、複数誤り検出信号NACKが1の場合、入力された誤り訂正された受信データDATA_2は信頼できないと判断して、その受信データを破棄する。複数誤り検出信号NACKが0の場合、誤り訂正された受信データDATA_2は信頼できると判断する。複数誤り信号NACKは、デコーダ内の誤り訂正回路26に供給されてもよい。その場合、誤り訂正回路26は、複数誤り検出信号NACKが0の場合、誤り訂正された受信データDATA_2を出力せず、NACKが1の場合、DATA_2を出力する。

40

【0037】

[PPCの課題]

図7は、PPCの課題を示す図である。図7は、複数の誤りビットを有する受信符号語CDWD_2の4つの例を示す。図中に示されるとおり、白い丸は正常TSV、バツ印の丸は欠陥TSV、正方形は誤って欠陥TSVと判定される欠陥TSVである。また、破線はチェックビットsr、scが生成されるビット群を示し、本明細書ではこのビット群をつなぐ線をパリティリンクPLと称する。欠陥TSVを伝播するデータは誤りビットまたは反転ビットになる。そして、図7での受信符号語CDWD_2は、図3、4とは異なり、6行6列である。この場合、データ

50

DATA_1、DATA_2は、5行5列のビットであり、行のインデックスは $i = 0 \sim M - 1$ であるので $M = 5$ 、 $M + 1 = 6$ となり、列のインデックスは $0 \sim N - 1$ であるので $N = 5$ 、 $N + 1 = 6$ となる。

【 0 0 3 8 】

図7(a)は、3つの欠陥TSVが異なる行及び異なる列に位置する。そのため、欠陥TSVが属する行と列のチェックビットが $sr_0=1$ 、 $sr_1=1$ 、 $sr_2=1$ 、 $sc_1=1$ 、 $sc_3=1$ 、 $sc_4=1$ となる。この場合、デコーダの複数誤り検出回路は、式(11)に基づいて、複数誤りを検出することができ、NACK=1を出力する。

【 0 0 3 9 】

図7(b)は、3つの欠陥TSVのうち2組の2つの欠陥TSVが同じ行と同じ列に位置する。そのため、欠陥TSVが属する行と列のチェックビットが $sr_1=0$ 、 $sr_4=1$ 、 $sc_1=0$ 、 $sc_3=1$ となる。この場合、デコーダの複数誤り検出回路は、式(11)に基づき、複数誤りを検出することができず、NACK=0を出力する。そして、誤り訂正回路は、誤って欠陥TSVと検出された(4, 3)の反転ビットを修正する。つまり、デコーダは、複数誤りビット(欠陥TSV)を検出することができない。

【 0 0 4 0 】

図7(c)は、4つの欠陥TSVのうち2対の欠陥TSVがそれぞれ同じ行と同じ列に位置する。そのため、欠陥TSVが属する行と列のチェックビットが $sr_1=0$ 、 $sr_4=0$ 、 $sc_1=0$ 、 $sc_3=0$ となる。この場合、デコーダの複数誤り検出回路は、式(11)に基づき、複数誤りを検出することができず、NACK=0を出力する。そして、誤り訂正回路は、欠陥TSVの反転ビットを修正しない。つまり、デコーダは、複数誤りビット(欠陥TSV)を検出することができない。

【 0 0 4 1 】

図7(d)は、5つの欠陥TSVのうち2対の欠陥TSVがそれぞれ同じ行と同じ列に位置し、1つの欠陥TSVが異なる行及び列に位置する。そのため、欠陥TSVが属する行と列のチェックビットが $sr_1=0$ 、 $sr_2=0$ 、 $sr_3=1$ 、 $sc_1=1$ 、 $sc_2=0$ 、 $sc_3=0$ となる。この場合、デコーダの複数誤り検出回路は、式(11)に基づき、複数誤りを検出することができず、NACK=0を出力する。そして、誤り訂正回路は、(3, 2)の欠陥TSVの反転ビットだけを修正する。つまり、デコーダは、複数誤りビット(欠陥TSV)を検出することができない。

【 0 0 4 2 】

上記の通り、欠陥TSVが同じ行または同じ列に偶数個存在すると、チェックビットが $sr=0$ 、 $sc=0$ となり、複数誤りを検出できない場合がある。したがって、受信した符号語CDWD_2の複数の欠陥の検出率が高い複数欠陥検出回路が必要である。以下に示す実施の形態によれば、複数の誤りビットの検出率が高くなる。

【 0 0 4 3 】

[第1の実施の形態：拡張PPC、EPPC、Extended Parity Product Coding]

第1の実施の形態の拡張PPCでは、符号語CDWD_1を生成するエンコーダが、送信データDATA_1に付加するパリティビット c_j 、 r_i を次のように算出する。

【 0 0 4 4 】

(1) 行シフト (Row-shift)

エンコーダは、 j 列のパリティビット c_j を、行のインデックス $i=0, 1, 2 \sim M-1$ に対応して、列のインデックスが行方向に s ずつシフトする列のビット群から算出する。つまり、 j 列のパリティビット c_j を算出する列のビット群は、PPCの場合のTSV(i, j)をTSV($i, (j + s*i) \bmod N$)にスイッチしたビット群になる。 N はデータData_1の列の数、 $N+1$ はTSVまたは符号語CDWDの列の数で、最後のインデックスはパリティビットである。 $i=0 \sim M$ 、 $j=0 \sim N$ 。 j 列のパリティビット c_j を算出する列のビット群は、前述の通りパリティリンクのビット群である。

【 0 0 4 5 】

例えば、 $M = N = 5$ 、 $s = 2$ の場合、拡張PPCでの $j = 0$ 列でのパリティチェックのための新たな列またはパリティリンクは、ビットインデックスが(0,0)(1,2)(2,4)(3,1)(4,3)(

10

20

30

40

50

5,0)となる。但し、最後のインデックス(5,0)はパリティビット c_0 である。行シフトでは、パリティリンクのビット群において、行インデックスが増大することに対応して、列インデックスが行方向に s ずつシフトする。 s は+と-のいずれでも良い。

【 0 0 4 6 】

(2) 列シフト (Column-shift)

エンコーダが、 i 行のパリティビット r_i を、列のインデックス $j=0, 1, 2 \sim N-1$ に対応して、行のインデックスが列方向に s ずつシフトする列のビット群から算出する。つまり、 i 行のパリティビット r_i を算出する行のビット群は、PPCの場合のTSV(i, j)をTSV($(i + s * j) \bmod M, j$)にスイッチしたビット群になる。 M はデータData_1の行の数、 $M+1$ は符号語CDWDの行の数で、最後のインデックスはパリティビットである。 $i=0 \sim M, j=0 \sim N$ 。 i 行のパリティビット r_i を算出する列のビット群は、パリティリンクのビット群と称する。

10

【 0 0 4 7 】

例えば、 $M = N = 5, s = 2$ の場合、拡張PPCでの $i = 1$ 行でのパリティチェックのための新たな列またはパリティリンクは、ビットインデックスが(1,0)(3,1)(0,2)(2,3)(4,4)(1,5)となり、但し最後のインデックス(1,5)はパリティビット r_1 である。列シフトでは、パリティリンクのビット群において、列インデックスが増大することに対応して、行インデックスが列方向に s ずつシフトする。 s は+と-のいずれでも良い。

【 0 0 4 8 】

図8は、拡張PPCにおける符号語CDWD_2の例を示す図である。図8の欠陥TSVの例は、図7(b)と同じである。前述したとおり、エンコーダが生成する符号語CDWD_1は、5行5列(インデックス(0,0)~(4,4))のデータDATA_1に、行及び列のパリティビット r_i, c_j に最終パリティビット u を加えた6行6列(インデックス(0,0)~(5,5))のコードである。

20

【 0 0 4 9 】

図8(a)(b)は、それぞれ行シフト $s = +1, s = -1$ の例である。列シフトはない($s = 0$)。行シフトされたパリティリンクが破線で示される。前述したとおり、パリティリンクとは、エンコーダがチェックビットを計算するビット群をつないだリンクを意味する。パリティリンクのビット群は、データ領域DATA area内で行シフトまたは列シフトする。図8では、3つの欠陥TSVを通過するパリティリンクの破線のみが示され、パリティリンクそれぞれのチェックビットのみが示される。

【 0 0 5 0 】

(a)行シフト $s = +1$ では、チェックビットは $sr_1=0, sr_4=1, sc_0=1, sc_2=1, sc_3=1$ であり、(b)行シフト $s = -1$ では、チェックビットは $sr_1=0, sr_4=1, sc_0=1, sc_2=1, sc_4=1$ である。この場合、(b)行シフト $s = -1$ では、3つの列のチェックビット sc_0, sc_2, sc_4 のパリティリンクには、それぞれ1つの欠陥TSVしか含まれない。その結果、3つの列のチェックビット sc_0, sc_2, sc_4 は全て1となる。2つの行のチェックビット sr_1, sr_4 では、チェックビット sr_1 のパリティリンクにおいて2つの欠陥TSVが含まれる。よって、デコーダの複数誤り検出回路25は、式(11)に基づき、複数の欠陥ビットが存在することを検出し、複数誤り検出信号NACK=1を出力する。(a)行シフト $s = +1$ では、列のチェックビット sc_0 と行のチェックビット sr_4 が1となり残りは全て0となり、複数誤り検出回路25は複数の欠陥ビットを検出できない。

30

40

【 0 0 5 1 】

図8(c)(d)は、列シフト $s = +1, s = -1$ の例である。行シフトはない($s = 0$)。列シフトされたパリティリンクが破線で示される。パリティリンクそれぞれのチェックビットが示される。(c)列シフト $s = +1$ では、チェックビットは $sr_0=1, sr_3=0, sr_4=0, sc_1=0, sc_3=1$ であり、(d)列シフト $s = -1$ では、チェックビットは $sr_0=1, sr_2=1, sr_3=1, sc_1=0, sc_3=1$ になっている。(c)の場合、行及び列のチェックビットはそれぞれ1つのみ1となり、複数誤り検出回路は複数の欠陥ビットの存在を検出せず、複数誤り検出信号NACK=0を出力する。一方、(d)の場合、3つの行のチェックビットが1となり、複数誤り検出回路は複数の欠陥ビットの存在を検出し、NACK=1を出力する。

【 0 0 5 2 】

50

以上の通り、第 1 の実施の形態は、データDATA_1のパリティビット r_i, c_j を算出するパリティリンク、符号語CDWD_2のチェックビット sr_i, sc_j を算出するパリティリンクに、拡張PPCの行シフトまたは列シフトを適用する。拡張PPCにおけるデコーダの複数誤り検出回路は、図 7 (b) の 3 つの欠陥TSVを有する受信した符号語CDWD_2において、図 8 (b) (d) の場合に複数誤りビットを検出できる。

【 0 0 5 3 】

図 9 は、第 1 の実施の形態における送信側デバイスと受信側デバイスの概略的な構成例を示す図である。送信側デバイスDEVICE_1は、シフト回路 3 1 と送信回路Txを有し、データDATA_1を符号語CDWD_1に変換してリンクLINKに出力する。受信側デバイスDEVICE_2は、シフト回路 3 2 と受信回路Rxを有し、リンクLINKを伝搬してきた符号語CDWD_2を変換した誤り訂正したデータDATA_2を受信する。

10

【 0 0 5 4 】

送信側のシフト回路 3 1 は、制御回路 3 0 からの制御信号CNTR_1に基づいて、データDATA_1を行シフト及び・または列シフトを行い、エンコーダENCODERに入力する。エンコーダは、データDATA_1にパリティビットを加えた符号語CDWD_1を、リンクLINKs(またはTSVs)に並列に出力する。また、受信側のシフト回路 3 2 は、制御回路 3 0 からの制御信号CNTR_2に基づいて、符号語CDWD_2を行シフト及び・または列シフトを行い、デコーダDECODERに入力する。デコーダは、行シフト及び・または列シフトされたパリティリンクのビット群からチェックビットを生成し、複数誤りビットの検出を行い、誤りビットの誤り訂正を行う。

20

【 0 0 5 5 】

図 1 0 は、図 9 の構成の詳細な回路構成例を示す図である。図 1 0 は、送信回路Txと受信回路Rxを示す。送信回路Txは、図 9 のシフト回路 3 1 と、エンコーダ内のパリティビットを生成する回路 1 0 ~ 1 2 と、パリティビットと元のデータDATA_1を結合する回路 1 3 を有する。一方、受信回路Rxは、図 9 のシフト回路 3 2 と、デコーダ内のチェックビットを生成する回路 2 0 , 2 1 及び複数誤り検出回路 2 5 と、マスクMaskにより符号語CDWD_2のデータの誤り訂正する誤り訂正回路 2 6 を有する。

【 0 0 5 6 】

図 1 0 におけるシフト回路 3 1 は、データDATA_1を選択するか、データDATA_1を内部配線により行シフト及び/または列シフトした位置に変更したものを選択するかマルチプレクサである。また、シフト回路 3 2 は、受信した符号語CDWD_2を選択するか、受信した符号語CDWD_2を内部配線により行シフト及び/または列シフトした位置に変更したものを選択するかマルチプレクサである。

30

【 0 0 5 7 】

図 1 1、図 1 2 は、送信回路での行シフト及び列シフトの動作を示す図である。ここでは、単純化した 3 行 3 列のデータDATA_1を例にして説明する。図の左側に行または列シフトを使用しないPPC (オリジナルのPPC) を適用した動作を、右側に行または列シフトを使用したPPC (拡張PPC、EPPC) を適用した動作を、それぞれ示す。

【 0 0 5 8 】

行または列シフトを使用しないオリジナルPPCを適用した場合、送信回路Txは、次の動作を行う。

40

(A) シフト回路 3 1 であるマルチプレクサMUXが 3 行 3 列のデータDATA_1を選択し、エンコーダ 1 0 ~ 1 2 に入力する。

(B) エンコーダのパリティビット生成回路 1 0 ~ 1 2 が、入力されたデータDATA_1の各列のビット群と各行のビット群それぞれのパリティビットを生成し、更に最後パリティビットを生成する。

(C) 送信回路Txの結合回路 1 3 が、データDATA_1にパリティビットを追加し、TSVsであるリンクLINKsに並列に送出する。

【 0 0 5 9 】

一方、行シフトの拡張PPCを適用した場合、送信回路Txは、次の動作を行う。

50

(A) シフト回路 3 1 であるマルチプレクサMUXが、3 行 3 列のデータDATA_1を行シフトしたデータDATA_1_row.shiftを選択し、エンコーダ 1 0 ~ 1 2 に入力する。行シフトされたデータDATA_1_row.shiftは、インデックス(1,0)(2,0)に、データDATA_1のインデックス(1,1)(2,2)のビットを有する。同様に、データDATA_1_row.shiftは、インデックス(1,1)(2,1)に、データDATA_1のインデックス(1,2)(2,0)のビットを有し、インデックス(1,2)(2,2)に、データDATA_1のインデックス(1,0)(2,1)のビットを有する。

(B) エンコーダのパリティビット生成回路 1 0 ~ 1 2 が、入力されたデータDATA_1_row.shiftの各列のビット群、各行のビット群それぞれのパリティビットを生成し、更に最後パリティビットを生成する。生成された列のパリティビット c_0 は、行シフトされたビット群 $b_{0,0}$, $b_{1,1}$, $b_{2,2}$ のパリティビットである。列のパリティビット c_1, c_2 も、同様の行シフトされたビット群のパリティビットである。

10

(C) 送信回路Txの結合回路 1 3 が、データDATA_1にパリティビットを追加し、符号語CDWD_2_row.shiftをTSVsに並列に送出する。つまり、リンクLINKsには、行シフトしていないデータDATA_1と、行シフトされたビット群から算出されたパリティビットが入力される。

【 0 0 6 0 】

図 1 3、図 1 4 は、受信回路での行シフト及び列シフトの動作を示す図である。行または列シフトを使用しないオリジナルPPCを適用した場合、受信回路Rxは、次の動作を行う。

(D) 受信回路Rxは、TSVsから受信した符号語CDWD_2を入力する。

20

(E) 符号語CDWD_2がマルチプレクサMUXを介してデコーダに入力される。

(F) デコーダ内のチェックビット生成回路 2 0 , 2 1 が、符号語CDWD_2の列のビット群と行のビット群からチェックビット sc , sr を生成する。さらに、複数誤り検出回路 2 5 が複数誤り検出信号NACKを出力する。

(G) そして、式(8)に基づいてチェックビット sc , sr からマスクMaskが生成される。誤り訂正回路 2 6 がマスクMaskに基づいて、受信した符号語CDWD_2の誤りビットを訂正し、誤り訂正されたデータDATA_2を出力する。

【 0 0 6 1 】

行シフトの拡張PPCを適用した場合、受信回路Rxは、次の動作を行う。

(D) 受信回路Rxは、TSVsから受信した符号語CDWD_2を入力する。

30

(E) マルチプレクサMUXが、行シフトした符号語CDWD_2_row.shiftを選択する。行シフトした符号語CDWD_2_row.shiftは、データDATAが行シフトされ、行及び列のパリティビット r , c の位置はTSVsから受信した符号語CDWD_2と同じである。

(F) デコーダ内のチェックビット生成回路 2 0 , 2 1 が、符号語CDWD_2_row.shiftの列のビット群と行のビット群からチェックビット sc , sr を生成する。さらに、複数誤り検出回路 2 5 が複数誤り検出信号NACKを出力する。

(G) そして、式(8)に基づいてチェックビット sc , sr からマスクMaskが生成される。行シフト符号語CDWD_2_row.shiftから生成されるマスクMaskのインデックスは、PPCのマスクと同じである。そして、誤り訂正回路 2 6 がマスクMaskに基づいて、受信した符号語CDWD_2の誤りビットを訂正し、誤り訂正されたデータDATA_2を出力する。

40

【 0 0 6 2 】

図 8 に示したとおり、上記の拡張PPCによれば、二次元(2D)のLINKsにおいて複数の誤りビットを検出する確率が高くなる。

【 0 0 6 3 】

[第 2 の実施の形態 : 距離を考慮した拡張PPC、Distance Aware Extended Parity Product Check]

図 1 5 は、拡張PPCを適用しても複数の誤りビットを検出できない例を示す図である。図 1 5 には、受信した符号語CDWD_2のインデックス(1,1)(1,2)(2,2)に誤りビット(欠陥TSV)が存在する例が示される。

【 0 0 6 4 】

50

図15(a)は、オリジナルのPPCを適用した場合のチェックビット sr , sc を示す。この場合、 $sr_1=0$, $sr_2=1$, $sc_1=1$, $sc_2=0$ であり、デコーダは、式(11)に基づき、行チェックビット sr に1つの $sr=1$ を、列チェックビット sc に1つの $sc=1$ をそれぞれ検出する。つまり、デコーダは複数誤りビットを検出できない。図15(b)(c)は、それぞれ行シフト($s=+1$)、列シフト($s=+1$)の拡張PPCの例である。これらの場合も、デコーダは、式(11)に基づき、行チェックビット sr に1つの $sr=1$ を、列チェックビット sc に1つの $sc=1$ をそれぞれ検出する。つまり、デコーダは複数誤りビットを検出できない。

【0065】

一方、図15(d)は、行シフト($s=-1$)の拡張PPCの例である。デコーダは、式(11)に基づき、行チェックビット sr に3つの $sr=1$ を検出する。よって、デコーダは、複数誤りビットを検出できる。

10

【0066】

上記のように、オリジナルのPPCと比較すると、拡張PPCは、2DのLINKsにおいて複数誤りビットを検出する確率が高くなるが、図15(b)(c)のように複数誤りビットを検出できないケースもある。

【0067】

第2の実施の形態のデコーダは、距離を考慮した拡張PPCを使用して複数誤りビットの検出率をより高くする。距離を考慮した拡張PPCは、2DのTSVsが欠陥TSVのクラスタ(複数欠陥TSVsの塊)を有することに基づいて、拡張PPCの列シフト量または行シフト量を2DのTSVsの行列の大きさに基づいて最適値に設定する。具体的には、拡張PPCに、パリティチェックを算出するパリティリンクのビット群のビット間ユークリッド距離を最大にする列シフト量または行シフト量を設定する。言い換えると、拡張PPCに、パリティリンク上のビット群のビット間の最小ユークリッド距離を最大にする列シフト量または行シフト量を設定する。

20

【0068】

図16は、拡張PPCにおけるパリティリンク上の隣接ビット間の最小ユークリッド距離を最大にする行シフト量の算出方法を示す図である。図16には、N列の2DのTSVsが示される。インデックス(0,0)から行方向に進むパリティリンクと、インデックス(1,0)から行方向に進むパリティリンクとがそれぞれ矢印付き破線で示される。行シフト量は s とする。パリティリンク上のビット群は、例えば、インデックス(0,0)から、(1,s)、(2,2s)、(i, (j + s*i) mod N)と移動する。そして、一旦、列インデックス(j+s*i)が右端のN-1を超えると、列インデックスは(j + s*i) mod Nで算出される余りの位置に巡回して戻る。図18(g)の行シフト $s=2$, $N=6$ の例では、パリティリンク上のビット群は、例えば、(0,0), (1,2), (2,4), (3,0), (4,2), (5,4)となる。

30

【0069】

隣接する $b(0,0)$ と $b(1,s)$ 間の距離 $D1$ は、以下の式に示される。そして、最初に巡回して戻ったときのインデックスは、図16に示されるとおり、 $b(\text{ceil}(N/s), \underline{s} - (N \bmod s))$ になる。隣接する $b(0,0)$ と $b(\text{ceil}(N/s), \underline{s} - (N \bmod s))$ 間の距離 $D2$ は、以下の式に示される。そして、 $\text{ceil}(N/s)$, $\underline{s} - (N \bmod s)$ が取り得る最小値 $\text{ceil}(N/s)$, $\underline{s} - (N \bmod s)$ に近似すると、距離 $D2$ は N/s となる。そこで、 $D1 = D2$ とすると、最小ユークリッド距離を最大にする最適な行シフト量 s は、以下の通り $\pm N^{1/2}$ になる。

40

【0070】

【数 5】

$$D1 = \sqrt{s^2 + 1^2}$$

$$D2 = \sqrt{\text{ceil}(N/s)^2 + \{s - (N \bmod s)\}^2} = \sqrt{(N/s)^2} = N/s$$

$$D1 = D2$$

$$\sqrt{s^2 + 1^2} = N/s$$

$$s = \pm\sqrt{N}$$

$$s = \pm\sqrt{M}$$

【0071】

ここで、 $D1 = D2$ とするのは、以下の理由に基づく。行シフト量 s を大きくすると、距離 $D1$ は長くなるが、距離 $D2 = N/s$ は短くなる。逆に、行シフト量 s を小さくすると、距離 $D1$ は短くなるが、距離 $D2 = N/s$ は長くなる。従って、複数の隣接ビット間ユークリッド距離の最小値を最大にするためのシフト量 s は、 $D1 = D2$ を満たすときの s となる。

【0072】

図 17 は、ある欠陥 TSV パターンについて、行シフト量 $s = \pm 1$ 、列シフト量 $s = \pm 1$ の拡張 PPC で生成した符号語 CDWD_2 のチェックビット sr, sc の例を示す図である。図 17 の欠陥 TSV パターンは、図 7 (d) の欠陥 TSV パターンと同じである。

20

【0073】

図 17 (a) は、オリジナル PPC で算出した受信符号語 CDWD_2 の行チェックビット sr と列チェックビット sc を示す。オリジナル PPC では、行シフト量 s と列シフト量 s が 0 である。図示されるとおり、行チェックビット sr と列チェックビット sc を算出するビット群を示すパリティリンク (破線) 上に、欠陥 TSV が存在する。すなわち、図中、欠陥 TSV が存在するパリティリンクの行チェックビット sr と列チェックビット sc が示される。この例では、3 つの行チェックビット sr_1, sr_2, sr_3 のうち 1 つ sr_3 のみが 1 となり、3 つの列チェックビット sc_1, sc_2, v のうち 1 つ sc_1 のみが 1 となる。パリティビットが 1 であることは、そのパリティリンク上に欠陥 TSV (誤りビット) が存在することを意味する。そのため、この例では、受信回路 Rx のデコーダは、単一の欠陥を検出し、マルチプル欠陥を検出しない (NACK=0)。

30

【0074】

図 17 (b) と図 17 (c) は、列シフト量 s がそれぞれ +1 と -1 の拡張 PPC による受信符号語 CDWD_2 の行チェックビット sr と列チェックビット sc を示す。行シフト量 s は 0 である。この例も、3 つの行チェックビット sr のうち 1 つのみが 1 となり、3 つの列チェックビット sc のうち 1 つのみが 1 となる。よって、この例では、受信回路 Rx のデコーダは、単一の欠陥を誤って検出し、マルチプル欠陥を検出しない (NACK=0)。

【0075】

図 17 (d) と図 17 (e) は、行シフト量 s がそれぞれ +1 と -1 の拡張 PPC による受信符号語 CDWD_2 の行チェックビット sr と列チェックビット sc を示す。列シフト量 s は 0 である。この例も、3 つの行チェックビット sr のうち 1 つのみが 1 となり、3 つの列チェックビット sc のうち 1 つのみが 1 となる。よって、この例では、受信回路 Rx のデコーダは、単一の欠陥を誤って検出し、マルチプル欠陥を検出しない (NACK=0)。

40

【0076】

図 18 は、図 17 と同じ欠陥 TSV パターンについて、行シフト量 $s = N^{1/2}$ または列シフト量 $s = M^{1/2}$ の拡張 PPC で生成した符号語 CDWD_2 のチェックビット sr, sc の例を示す図である。具体的には、図 18 (f) は列シフト量 s が -2、行シフト量 s が 0 の例、(g) は行シフト量 s が +2、列シフト量 s が 0 の例、(h) は行シフト量 s が +3、列シフト量 s が 0 の例である。これらのシフト量 $s = -2, +2, +3$ は、行シフト量 $s = N^{1/2}$ に対応する。

【 0 0 7 7 】

図 1 8 (f) では、行チェックビット sr_0, sr_3 が 1 となり、デコーダの複数誤り検出回路は、複数誤りビットを検出できる。図 1 8 (g) でも、列チェックビット sc_0, sc_2 が 1 となり、デコーダの複数誤り検出回路は、複数誤りビットを検出できる。図 1 8 (h) でも、列チェックビット sc_3, sc_4 が 1 となり、デコーダの複数誤り検出回路は、複数誤りビットを検出できる。

【 0 0 7 8 】

上記の通り、距離を意識した PPC (または拡張 PPC) を適用して送信データ DATA_1 のパリティビット及び受信符号語 CDWD_2 のチェックビットを計算することで、複数誤りビットの検出率を高めることができる。また、拡張 PPC では、行シフト量 s と列シフト量 s を変更して複数誤りビット検出を繰り返すことで複数誤りビットの検出率を高めることができる。一方、距離を意識した拡張 PPC では、パリティリンク上のビット間の最小距離を最大化できるので、最適の行シフト量及び・または最適の列シフト量で複数誤りビット検出を行うことで、複数誤りビットの存在を 1 クロックサイクルで検出できる。

【 0 0 7 9 】

[変形例]

図 1 0 では、データ DATA_1 のインデックス配列を内部配線により行シフトまたは列シフトしたインデックス配列を、マルチプレクサ MUX により選択した。しかし、オリジナルのインデックス配列のデータ DATA_1 を、行シフトまたは列シフトに対応した変換回路により、行シフト及び・または列シフトしたインデックス配列のデータ DATA_1_row.shift 等に変換して、エンコーダに入力してもよい。また、同様の変換回路により、受信した符号語 CDWD_2 を行シフト・及び列シフトしたインデックス配列のデータに変換して、デコーダに入力してもよい。

【 0 0 8 0 】

距離を意識した拡張 PPC では、M 行 N 列のデータ DATA_1 の場合、行シフト量は、N の 1 / 2 乗の切り上げまたは切り下げた正または負の整数値である。また、列シフト量は、M の 1 / 2 乗の切り上げまたは切り下げた正または負の整数値である。

【 0 0 8 1 】

以上のとおり、本実施の形態によれば、拡張 PPC または距離を意識した拡張 PPC を適用して、送信データ DATA_1 のパリティビットを算出して符号語 CDWD_1 を算出し、拡張 PPC または距離を意識した拡張 PPC を適用して、受信した符号語 CDWD_2 のチェックビットを算出する。そして、算出したチェックビットに基づいて誤りビット位置の検出と誤りビットの訂正、及び複数誤りビットの検出を行う。算出したチェックビットに基づいて複数誤りビット検出を行うことにより、複数誤りビットの検出精度を向上できる。

【 符号の説明 】

【 0 0 8 2 】

DEVICE_1 : 送信側デバイス

DATA_1 : 送信データ

3 1 : 行または列シフト回路

Tx、ENCODER : 送信回路、エンコーダ

CDWD_1 : 符号語

TSVs、LINKs : 2D TSVs

CDWD_2 : 符号語

3 2 : 行または列シフト回路

Rx、DECODER : 受信回路、デコーダ

DEVICE_2 : 受信側デバイス

PL : パリティリンク

r_i, c_j : パリティビット

sr_i, sc_j : チェックビット

EB : エラービット、欠陥ビット、欠陥 TSV

10

20

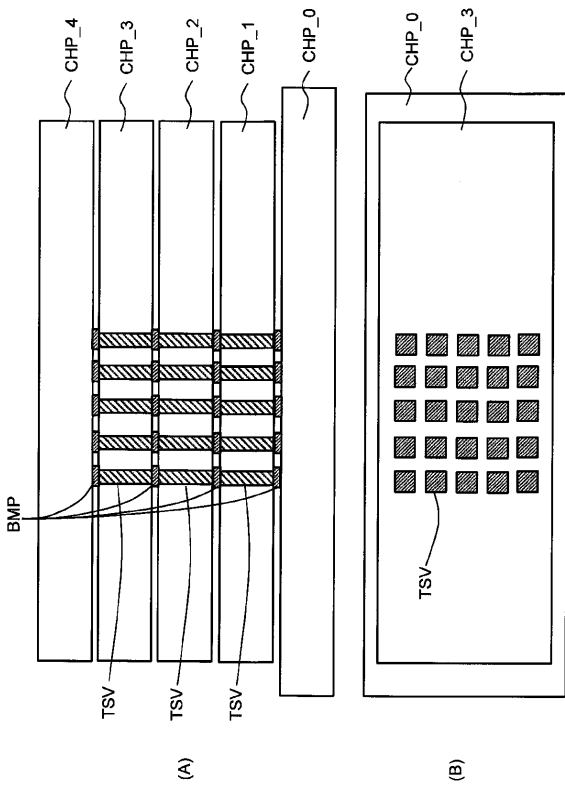
30

40

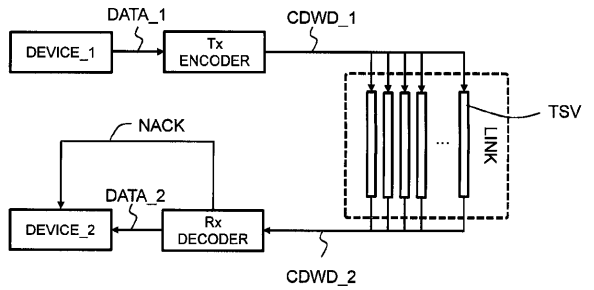
50

- 2 5 : 複数誤り検出回路
- 2 6 : 誤り検出回路

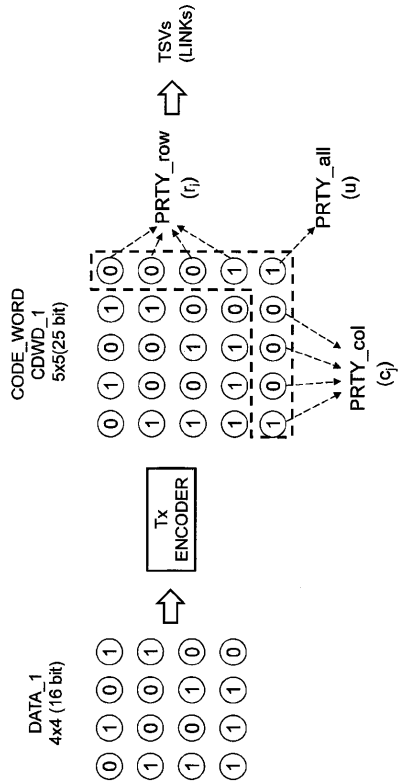
【 図 1 】



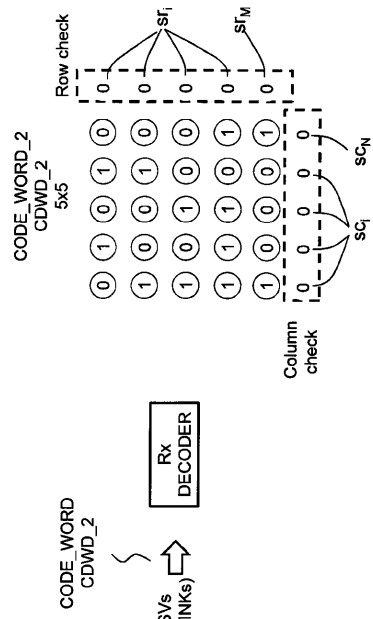
【 図 2 】



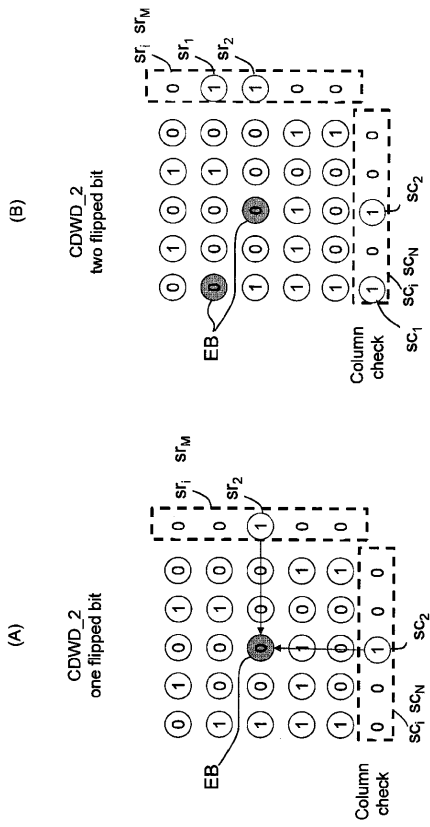
【 図 3 】



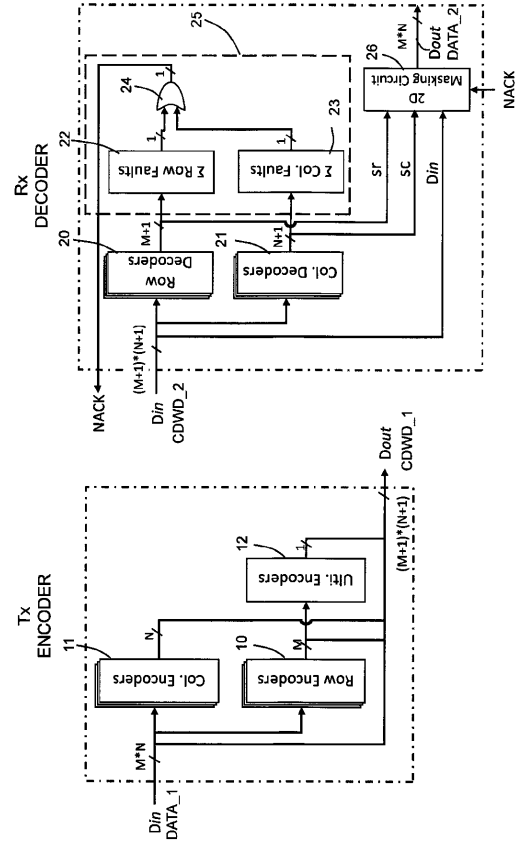
【 図 4 】



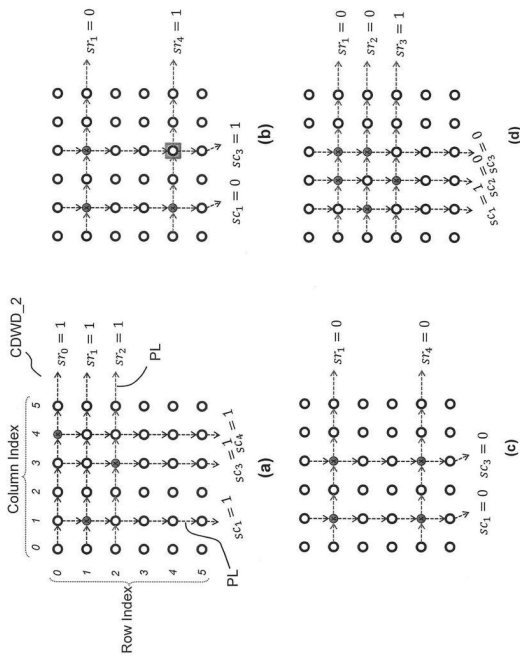
【 図 5 】



【 図 6 】

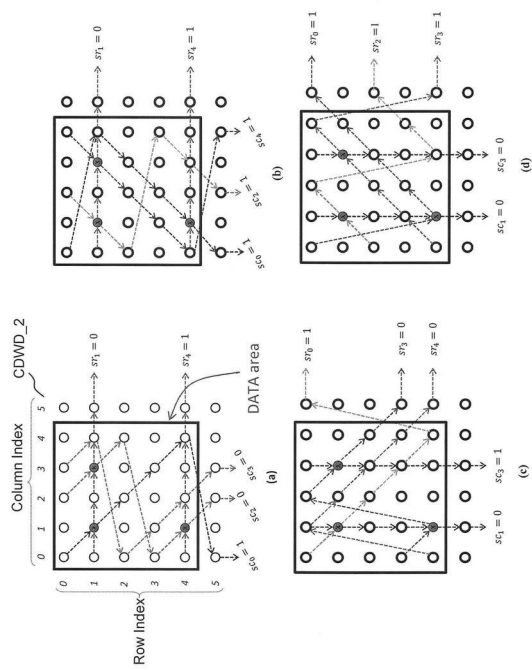


【 図 7 】



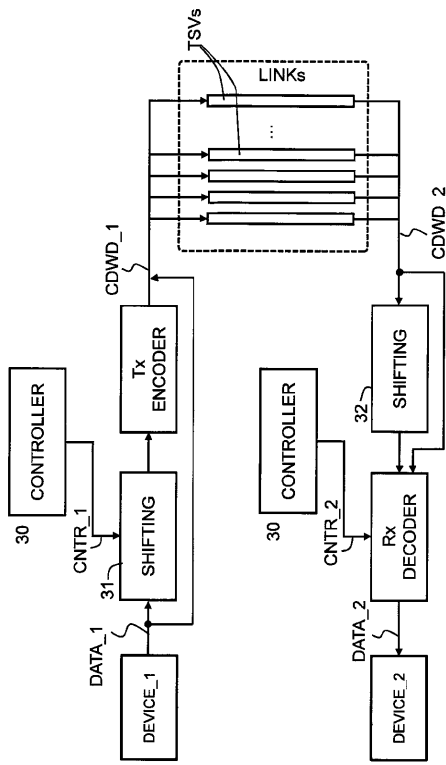
○ Normal TSV ● Defect TSV → Parity Link ■ Incorrectly considered as defect TSV

【 図 8 】

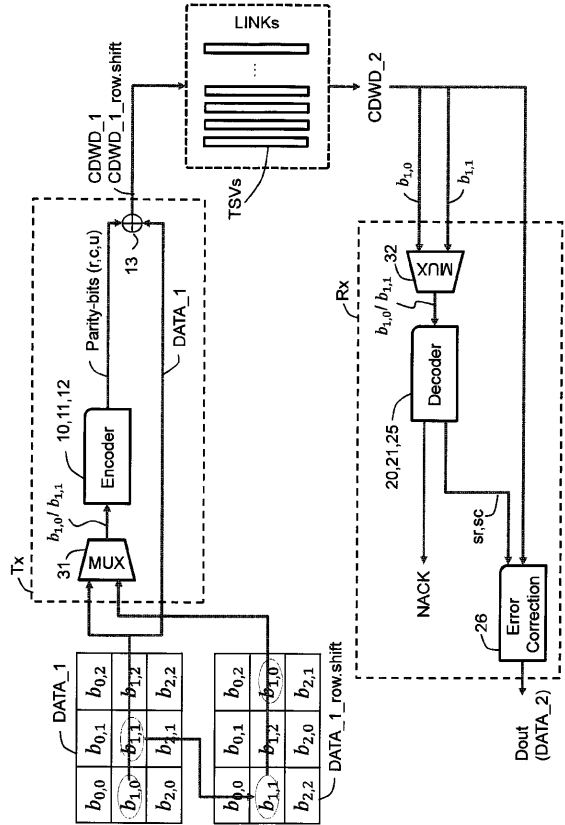


○ Normal TSV ● Defect TSV (multiple colors) ■ Incorrectly considered as defect TSV

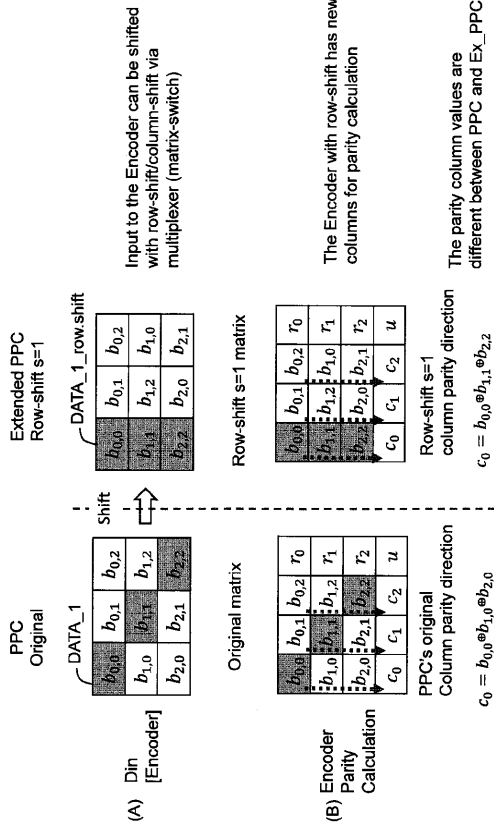
【 図 9 】



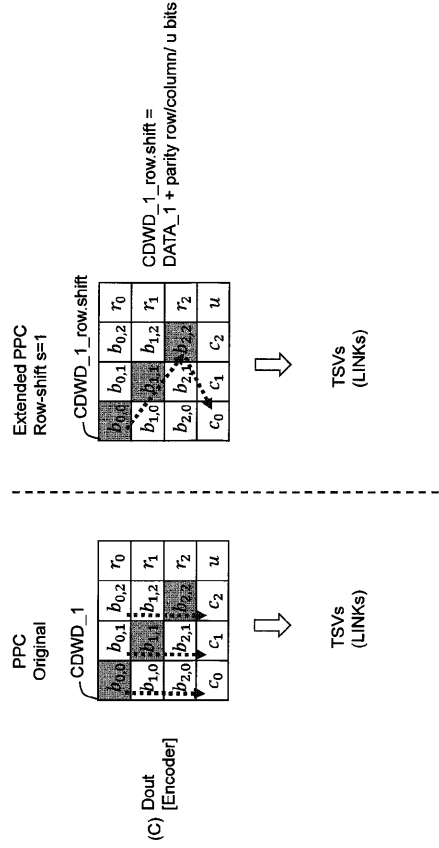
【 図 10 】



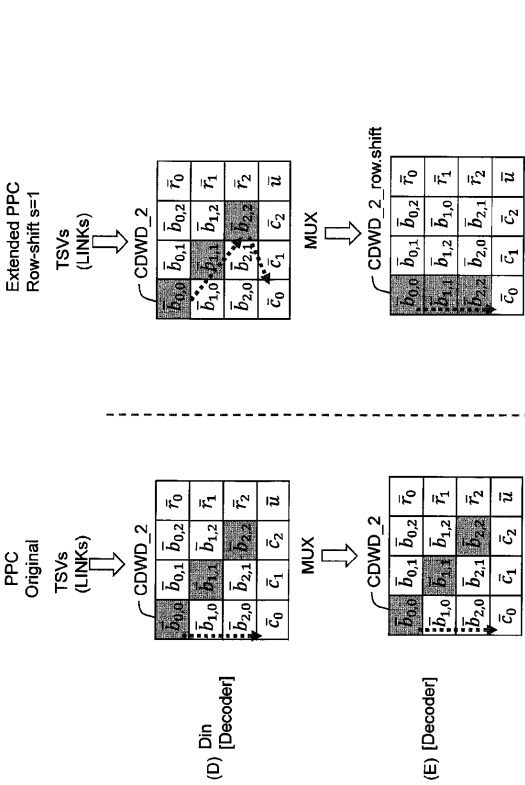
【 1 1 】



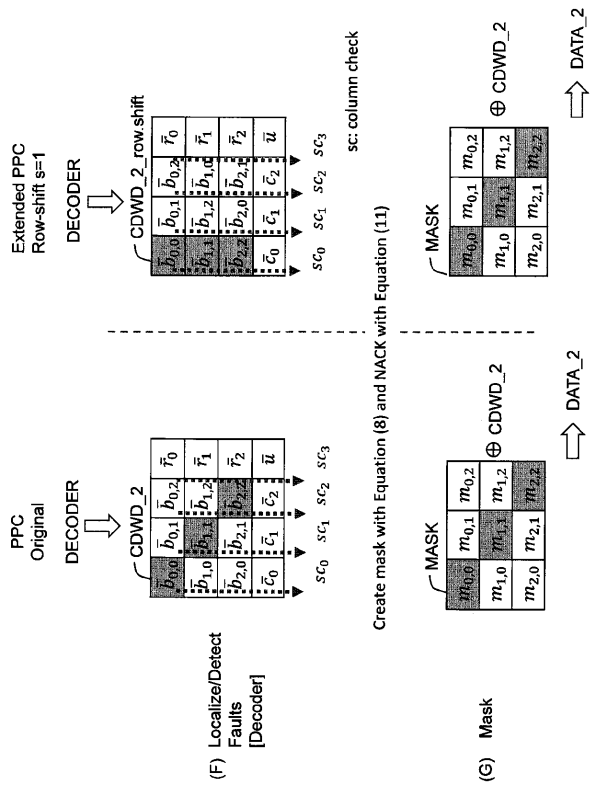
【 1 2 】



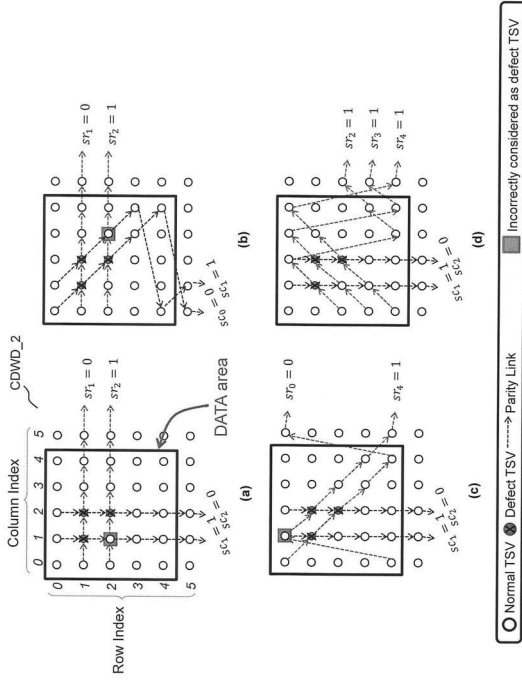
【 1 3 】



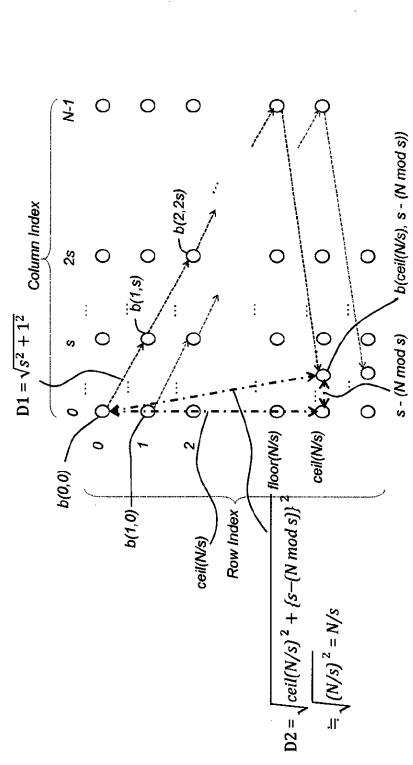
【 1 4 】



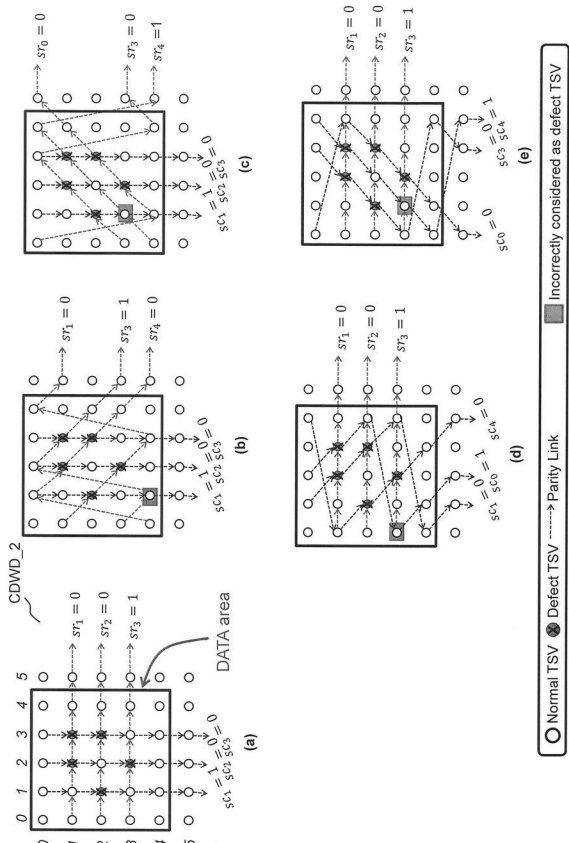
【 図 1 5 】



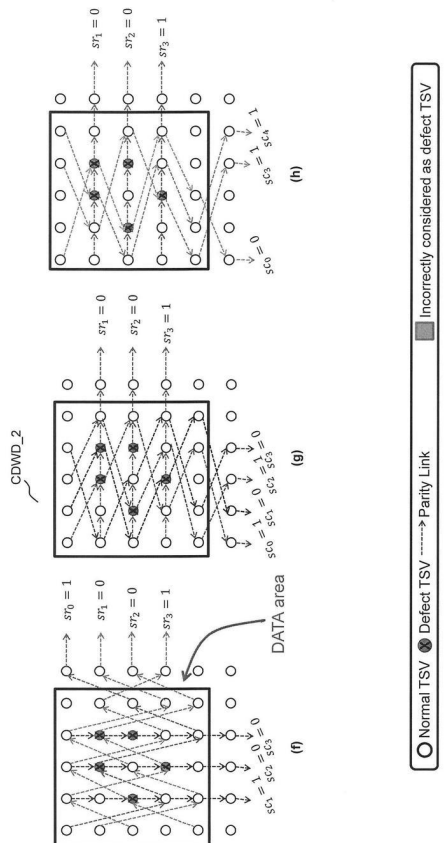
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(72)発明者 ダン ナム カイン

ベトナム社会主義共和国 ハノイ カウ ザイ ディストリクト スアン トゥイ ストリート
1 4 4 ベトナム国家大学ハノイ校内

(72)発明者 久田 雅之

福島県会津若松市東栄町1番77号 株式会社会津コンピュータサイエンス研究所内

審査官 谷岡 佳彦

(56)参考文献 特開平04-349536(JP,A)

特開昭59-197940(JP,A)

特開平04-112346(JP,A)

Khanh N. Dang, et al., 2D-PPC: A single -correction multiple-detection method for Through-Silicon-Via Faults, 2019 IEEE Asia Pacific Conference on Circuits and Systems(APCCAS)[online], 2020年01月, pp.109-112, [検索日2024.09.05], インターネット: <URL: <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8953131>><DOI: 10.1109/APCCAS47518.2019.8953131>

(58)調査した分野(Int.Cl., DB名)

H 0 3 M 1 3 / 1 1

H 0 4 L 1 / 0 0