

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7488989号  
(P7488989)

(45)発行日 令和6年5月23日(2024. 5. 23)

(24)登録日 令和6年5月15日(2024. 5. 15)

|                                  |                 |
|----------------------------------|-----------------|
| (51)Int. Cl.                     | F I             |
| <i>H 0 3 M 13/11 (2006. 01)</i>  | H 0 3 M 13/11   |
| <i>H 0 1 L 21/822 (2006. 01)</i> | H 0 1 L 27/04 T |
| <i>H 0 1 L 27/04 (2006. 01)</i>  | H 0 1 L 25/08 C |
| <i>H 0 1 L 25/07 (2006. 01)</i>  |                 |
| <i>H 0 1 L 25/065 (2023. 01)</i> |                 |

請求項の数 4 外国語出願 (全 18 頁) 最終頁に続く

(21)出願番号 特願2020-94220(P2020-94220)  
 (22)出願日 令和2年5月29日(2020. 5. 29)  
 (65)公開番号 特開2021-190829(P2021-190829A)  
 (43)公開日 令和3年12月13日(2021. 12. 13)  
 審査請求日 令和5年3月10日(2023. 3. 10)

(73)特許権者 506301140  
 公立大学法人会津大学  
 福島県会津若松市一箕町大字鶴賀字上居合  
 9 0 番地  
 (74)代理人 100094525  
 弁理士 土井 健二  
 (74)代理人 100094514  
 弁理士 林 恒徳  
 (72)発明者 ベン アブダラ アブデラゼク  
 福島県会津若松市一箕町大字鶴賀字上居合  
 9 0 番地 公立大学法人会津大学内

最終頁に続く

(54)【発明の名称】 複数のTSVを含むTSVグループが層間を接続するオンチップの3次元システム

(57)【特許請求の範囲】

【請求項1】

複数の層を接続する複数のTSVからなるTSV群が備えられたオンチップの3次元システムであって、

前記TSV群に含まれるTSVのそれぞれから送信される第1ビットに基づいて、前記TSV群のうち、所定の欠陥を有する欠陥TSVである可能性がある第1候補TSVを特定し、

前記第1候補TSVが排除された前記TSV群に含まれるTSVのそれぞれからの送信される第2ビットに基づいて、前記第1候補TSVが排除された前記TSV群のうち、前記欠陥TSVである可能性がある第2候補TSVを特定し、

前記第1及び第2候補TSVごとに、各TSVが排除された前記TSV群に含まれるTSVのそれぞれから送信される第3ビットに基づいて、各TSVが前記欠陥TSVであるか否かを判定し、

前記第1及び第2候補TSVから、前記欠陥TSVであると判定された1以上のTSVを特定する、

ことを特徴とするオンチップの3次元システム。

【請求項2】

請求項1において、

前記第1候補TSVを特定する工程では、

前記TSV群のうち、同一行に位置する複数のTSVのそれぞれから送信された前記第

1ビットに不整合が存在する場合、前記同一行に位置する複数のTSVに前記第1候補TSVが含まれていると判定し、

前記TSV群のうち、同一列に位置する複数のTSVのそれぞれから送信された前記第1ビットに不整合が存在する場合、前記同一列に位置する複数のTSVに前記第1候補TSVが含まれていると判定する、

ことを特徴とするオンチップの3次元システム。

#### 【請求項3】

請求項1において、

前記第2候補TSVを特定する工程では、

前記第1候補TSVが排除された前記TSV群のうち、同一行に位置する複数のTSVのそれぞれから送信された前記第2ビットに不整合が存在する場合、前記同一行に位置する複数のTSVに前記第2候補TSVが含まれていると判定し、

10

前記第1候補TSVが排除された前記TSV群のうち、同一列に位置する複数のTSVのそれぞれから送信された前記第2ビットに不整合が存在する場合、前記同一列に位置する複数のTSVに前記第2候補TSVが含まれていると判定する、

ことを特徴とするオンチップの3次元システム。

#### 【請求項4】

請求項1において、

前記欠陥TSVであるか否かを判定する工程では、

前記第1及び第2候補TSVごとに、各TSVが排除された前記TSV群のうち、同一行に位置する複数のTSVのそれぞれから送信された前記第3ビットに不整合が存在する場合、前記同一行に位置する複数のTSVに前記欠陥TSVが含まれていると判定し、

20

前記第1及び第2候補TSVごとに、各TSVが排除された前記TSV群のうち、同一列に位置する複数のTSVのそれぞれから送信された前記第3ビットに不整合が存在する場合、前記同一列に位置する複数のTSVに前記欠陥TSVが含まれていると判定する、

ことを特徴とするオンチップの3次元システム。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、複数のTSVを含むTSVグループが層間を接続するオンチップの3次元システムに関する。

30

#### 【背景技術】

#### 【0002】

集積密度を高めるために、トランジスタを縮小することは、従来から行われている方法である。しかしながら、自然の障壁である原子のサイズに達することにより、トランジスタの縮小は、実行不可能であり、さらに、近い形状であっても非常に高価になる。したがって、より高い集積密度の必要性から、製造プロセスでは、代替的なソリューションを見つける必要がある。また、スループットと電力効率密度とを高めるために、アナログ/RF、センサー/MEMS、RFID及びメモリ等の異種技術を同じダイに統合する必要がある。どちらの場合においても、上記のような統合方法は、より高い密度と多様性を実現するために進化する必要がある(非特許文献1)。

40

#### 【0003】

このような異種間における統合を実現するために、また、従来の2次元ICの集積密度の問題により、有望なソリューションとして3次元IC(3次元集積回路)が提案されている(非特許文献2)。3次元ICは、デバイスの単一平面を可能にするだけでなく、垂直に積み重ねられた平面、または、完全に垂直な配置及び相互接続をサポートする追加的な統合次元を可能にする。

#### 【0004】

ボンドワイヤ、はんだボール、スルーシリコンビア、または、カップリングを使用した最先端の3次元ICは、個別の製造レイヤーに基づき、それらを積み重ねる(非特許文献

2)。特に、製造レイヤーは、特別な相互接続媒体を介して整列されて接続される。相互接続媒体により、信号、電力、または、クロックワイヤを提供するレイヤー間の通信が可能になる。その結果、3次元ICは、様々なテクノロジーを統合することが可能になる。個別に製造することにより、様々なテクノロジーノード及び様々なデバイスタイプが可能になる。また、分子サイズによって制限されるトランジスタを縮小する代わりに、より多くの層を積み重ねることで、ダイ内により多くのトランジスタを配置しながら面積コスト（取り付け面積）を小さく保つことが可能になる。積み重ね構造では、ワイヤ長が短くなり、これによって消費電力が小さくなり、かつ、待ち時間が短くなる。

#### 【0005】

3次元ICに関する技術の中で、シリコン貫通ビア（TSV：Through-Silicon-Via）は、レイヤー間の通信を可能にする最も成熟したものの1つである（非特許文献3）。ビアは層を通過し、さらに熱圧縮によって、これらのビアは2つの層の接続を可能とする。

10

#### 【0006】

TSVに基づく3次元ICシステムは、従来の2次元ICシステムよりも高密度、低消費電力、及び異種設計になっているが、将来における大規模で複雑なSoCシステムに関しては、理想的なソリューションではない。これは、TSVテクノロジーの信頼性に関するいくつかの制限によるものである。第一に、TSVの製造段階は、積層の不完全性による低歩留まりとして知られており、全ての層からの歩留まり率を蓄積する（非特許文献4、5）。第二に、3次元ICの熱放散は、層が最下層とヒートシンクとの間の障害として機能するため、非常に困難である（非特許文献6）。熱TSVやマイクロ流体チャネル等のいくつかの方法が提案されている。しかしながら、現時点ではまだ不十分である。

20

#### 【0007】

TSVの欠陥は、通常、3つのケース（オープン、基盤へのショートまたはブリッジ）のうちの1つにある（非特許文献7）。オープン欠陥は、TSVの2つの端子を（部分的または全体的に）電気的に切断し、高抵抗TSVとしてモデル化することができる。欠陥のあるTSVの抵抗によっては、遅延が大きいために、断線またはタイミング違反が発生する可能性がある。基盤へのショートは、出力端子の電圧をグランドに近づけるTSVから基盤（グランド）へのリークを引き起こし、また、TSVとグランドとの間の追加抵抗としてモデル化することができる。この抵抗が十分に小さい場合、TSVの出力を強制的にグランド（バイナリでは0）にする。また、抵抗が大きいとタイミング違反が発生する可能性がある。TSVからTSVへのブリッジの欠陥は、2つ以上のTSVが導電性材料で接続されている場合である。その結果、これらのTSVを異なる出力にすることが難しくなる。例えば、1つのTSVが「1」で、1つのTSVが「0」であり、さらに、ブリッジの欠陥によりそれらが接続される場合、出力が浮遊電圧に近くなり、準安定性が生じる。それにもかかわらず、これら3つの主要なTSV欠陥は、シグナルインテグリティを破壊し、不正な値につながるため、非常に重大である。したがって、システムは、信頼性を維持するためにこれらの欠陥を検出する必要がある。

30

#### 【0008】

TSVの信頼性を高めるために、フォールトトレランスプロセスを3つの主要なフェーズに分類する。具体的には、検出、位置特定（診断）、及び回復である。検出と位置特定の場合、組み込み/自己テスト（BIST）（非特許文献8、9）及び外部テスト（非特許文献10）は、TSVに欠陥があるかどうかを判断する2つの一般的な方法である。また、エラー修正コード（ECC）（非特許文献11）または専用回路（非特許文献12、13、14、15）は、障害の検出及び修正についてもサポートしている。一方、最近の研究では、ハードウェアフォールトトレランス（修正回路（非特許文献13）、冗長性（非特許文献16）、信頼性マッピング（非特許文献17））、情報の冗長性（コーディング技法（非特許文献11））、アルゴリズムベースのフォールトトレランス（フォールトトレラントルーティング（非特許文献18）、ランタイム修復（非特許文献19）、または再マッピング（非特許文献16））等のいくつかのアプローチがあるリカバリに焦点を

40

50

当てている。商用のCADツール及び既存のソリューションは、欠陥の位置特定と検出のために成熟したが、オンラインのノンブッキングソリューションがある場合、障害のあるオペレーティングシステムについての高価な結果の防止に役立つ。

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】International Technology Roadmap for Semiconductors 2.0 2015 Edition Executive Report

【非特許文献2】International Technology Roadmap for Semiconductors 2011 Edition

【非特許文献3】Beyne, E., "The 3-D Interconnect Technology Landscape". IEEE Design & Test, 33(3), 8-20, 2016. 10

【非特許文献4】G. Van der Plas et al., "Design issues and considerations for low-cost 3-D TSV IC technology," IEEE J. Solid-State Circuits, vol. 46, no. 1, pp. 293-307, Jan. 2011.

【非特許文献5】K. N. Dang, A. B. Ahmed, Y. Okuyama, and A. B. Abdallah, "Scalable design methodology and online algorithm for TSV-cluster defects recovery in highly reliable 3D-NoC systems," IEEE Trans. Emerg. Topics Comput., to be published.

【非特許文献6】T. Frank et al., "Reliability of TSV interconnects: Electromigration, thermal cycling, and impact on above metal level dielectric," Microelectron. Rel., vol. 53, no. 1, pp. 17-29, 2013. 20

【非特許文献7】Jung, D. H., Kim, Y., Kim, J. J., Kim, H., Choi, S., Song, Y.-H., ... Kim, J. "Through Silicon Via (TSV) Defect Modeling, Measurement, and Analysis". IEEE Transactions on Components, Packaging and Manufacturing Technology, 7(1), 138-152 (2017).

【非特許文献8】Y. Lou, Z. Yan, F. Zhang, and P. D. Franzon, "Comparing through-silicon-via (TSV) void/pinhole defect self-test methods," J. Electron. Test., vol. 28, no. 1, pp. 27-38, Feb. 2012.

【非特許文献9】M. Tsai, A. Klooz, A. Leonard, J. Appel, and P. Franzon, "Through Silicon Via (TSV) defect/pinhole self test circuit for 3D-IC," in Proc. IEEE Int. Conf. 3D Syst. Integr., Sep. 2009, pp. 1-8. 30

【非特許文献10】B. Noia and K. Chakrabarty, "Pre-bond probing of TSVs in 3D stacked ICs," in Proc. IEEE Int. Test Conf., Sep. 2011, pp. 1-10.

【非特許文献11】R. W. Hamming, "Error detecting and error correcting codes," Bell Syst. Tech. J., vol. 29, no. 2, pp. 147-160, Apr. 1950.

【非特許文献12】Y. Zhao, S. Khursheed, and B. M. Al-Hashimi, "Online fault tolerance technique for TSV-based 3-D-IC," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 23, no. 8, pp. 1567-1571, Aug. 2015.

【非特許文献13】M. Cho, C. Liu, D. H. Kim, S. K. Lim, and S. Mukhopadhyay, "Design method and test structure to characterize and repair TSV defect induced signal degradation in 3D system," in Proc. IEEE/ACM Int. Conf. Comput.-Aided Design (ICCAD), Nov. 2010, pp. 694-697. 40

【非特許文献14】K. A. Bowman et al., "Energy-efficient and metastability-immune resilient circuits for dynamic variation tolerance," IEEE J. Solid-State Circuits, vol. 44, no. 1, pp. 49-63, Jan. 2009.

【非特許文献15】P.-Y. Chen, C.-W. Wu, and D.-M. Kwai, "On-chip TSV testing for 3D IC before bonding using sense amplification," in Proc. Asian Test Symp., Nov. 2009, pp. 450-455.

【非特許文献16】L. Jiang et al., "On effective through-silicon via repair for 3-D-stacked ICs," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 50

. 32, no. 4, pp. 559-571, 2013.

【非特許文献 1 7】F. Ye and K. Chakrabarty, "TSV open defects in 3D integrated circuits: Characterization, test, and optimal spare allocation," in Proc. Design Autom. Conf. (DAC), Jun. 2012, pp. 1024-1030. <https://www.frontiersin.org/article/10.3389/fnins.2018.00774>

【非特許文献 1 8】A. Ben Ahmed and A. Ben Abdallah. ' ' Architecture and Design of Highthroughput, Low-Latency, and Fault-Tolerant Routing Algorithm for 3D-Network-on-Chip (3DNoC) ' '. The Jnl. of Supercomputing, December 2013, Volume 66, Issue 3, pp 1507-1532.

【非特許文献 1 9】J. Wang, M. Ebrahimi, L. Huang, X. Xie, Q. Li, G. Li, and A. Jantsch, "Efficient design-for-test approach for networks-on-chip," IEEE Trans. Comput., vol. 68, no. 2, pp. 198- 213, Feb. 2018. 10

【非特許文献 2 0】G. C. Buttazzo, Hard Real-Time Computing Systems: Predictable Scheduling Algorithms and Applications. Cham, Switzerland: Springer, 2011, vol. 24.

【非特許文献 2 1】D. Gizopoulos et al., "Architectures for online error detection and recovery in multicore processors," in Proc. Design, Autom. Test Eur., Mar. 2011, pp. 1-6.

【非特許文献 2 2】M. Y. Hsiao, "A class of optimal minimum odd-weight-column SEC-DED codes," IBM J. Res. Develop., vol. 14, no. 4, pp. 395-401, Jul. 1970. 20

【非特許文献 2 3】D. Bertozzi, L. Benini, and G. De Micheli, "Error control schemes for on-chip communication links: the energy-reliability tradeoff," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol. 24, pp. 818-831, June 2005

【非特許文献 2 4】L.-C. Li, W.-H. Hsu, K.-J. Lee, and C.-L. Hsu, "An efficient 3D-IC onchip test framework to embed TSV testing in memory BIST," in Proc. 20th Asia South Pacific Design Autom. Conf., Jan. 2015, pp. 520-525.

【非特許文献 2 5】C. Serafy and A. Srivastava, "Online TSV health monitoring and builtin selfrepair to overcome aging," in Proc. Int. Symp. Defect Fault Tolerance VLSI Nanotechnol. Syst., Oct. 2013, pp. 224-229. 30

【非特許文献 2 6】I. Loi, S. Mitra, T. H. Lee, S. Fujita, and L. Benini, "A low-overhead fault tolerance scheme for TSV-based 3D network on chip links," in Proc. IEEE/ACM Int. Conf. Comput.-Aided Design, Nov. 2008, pp. 598-602.

【非特許文献 2 7】K. Manna, S. Singh, S. Chattopadhyay, and I. Sengupta, "Preemptive test scheduling for network-on-chip using particle swarm optimization," in VLSI Design Test. New York, NY, USA: Springer, 2013, pp. 74-82.

【非特許文献 2 8】M. R. Kakooee, V. Bertacco, and L. Benini, "At-speed distributed functional testing to detect logic and delay faults in NoCs," IEEE Trans. Comput., vol. 63, no. 3, pp. 703- 717, Mar. 2014.

【非特許文献 2 9】L. Huang et al., "Non-blocking testing for network-on-chip," IEEE Trans. Comput., vol. 65, no. 3, pp. 679-692, Mar. 2016. 40

【非特許文献 3 0】C. Grecu, A. Ivanov, R. Saleh, and P. P. Pande, "Testing network-on-chip communication fabrics," IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 26, no. 12, pp. 2201-2214, Dec. 2007.

【非特許文献 3 1】T. Lehtonen, P. Liljeberg, and J. Plosila, "Online reconfigurable self-timed links for fault tolerant NoC," VLSI Des., vol. 2007, Mar. 2007, Art. no. 94676. [Online]. Available: <https://www.hindawi.com/journals/vlsi/2007/094676/abs/>

【非特許文献 3 2】A. Ganguly, P. P. Pande, and B. Belzer, "Crosstalk-aware channel coding schemes for energy-efficient and reliable NoC interconnect," IEEE Tr 50

ans. Very Large Scale Integr. (VLSI) Syst., vol. 17, no. 11, pp. 1626-1639, Nov. 2009.

【非特許文献 3 3】 A. Prodromou, A. Panteli, C. A. Nicopoulos, and Y. T. Sazeides, “NoCALert: An on-line and real-time fault detection mechanism for network-on-chip architectures,” in Proc. 45th Annu. IEEE/ACM Int. Symp. Microarchit., Dec. 2012, pp. 60-71.

【非特許文献 3 4】 S. Shamshiri, A.-A. Ghofrani, and K.-T. Cheng, “End-to-end error correction and online diagnosis for on-chip networks,” in Test Conference (ITC), 2011 IEEE International, pp. 1-10, IEEE, 2011

【発明の概要】

10

【発明が解決しようとする課題】

【0010】

信頼性の高いリアルタイムシステムを維持するには、障害の検出及び回復が重要なタスクになる。したがって、デッドラインに基づいて、他のタスクの操作を維持する必要がある（非特許文献 2 0）。しかしながら、TSVの信頼性の問題を解決するための既存の方法のほとんどは、製造テスト及び回復に焦点を当てているが、オンラインでの寿命の信頼性については、適切に対処されていない。サイレント欠陥の結果は高価になる可能性があるため、欠陥検出タスクには、短い応答時間及び少ないパフォーマンス低下が求められる。既存のテストインフラストラクチャを再利用するために、システムは、BIST（非特許文献 8, 9, 19）または外部テスト（非特許文献 10）を使用して定期的にテストプロセスを実行することができる。以下、この種のテストには、定期的BIST（P-BIST）（非特許文献 10）という用語を使用する。ECCは、ほぼ瞬時の障害検出方法及び位置特定方法としても機能する。

20

【0011】

そこで、本発明の目的は、パフォーマンスを低下させることなく、TSVのグループの複数の障害を特定することである。

【課題を解決するための手段】

【0012】

本発明の一態様では、複数の層を接続する複数のTSVからなるTSV群が備えられたオンチップの3次元システムであって、前記TSV群に含まれるTSVのそれぞれから送信される第1ビットに基づいて、前記TSV群のうち、所定の欠陥を有する欠陥TSVである可能性がある第1候補TSVを特定し、前記第1候補TSVが排除された前記TSV群に含まれるTSVのそれぞれからの送信される第2ビットに基づいて、前記第1候補TSVが排除された前記TSV群のうち、前記欠陥TSVである可能性がある第2候補TSVを特定し、前記第1及び第2候補TSVごとに、各TSVが排除された前記TSV群に含まれるTSVのそれぞれから送信される第3ビットに基づいて、各TSVが前記欠陥TSVであるか否かを判定し、前記第1及び第2候補TSVから、前記欠陥TSVであると判定された1以上のTSVを特定する。

30

【0013】

すなわち、本発明の一態様では、3次元ICを操作するための検出及び位置特定の課題を解決するために、統計的な検出及び分離後のチェック方法に基づいて、シリコンピア上通信テスト（TSV-OCT）メカニズムを提示する。オープン/ショート/ブリッジの欠陥は、動作の点で一貫していないため（通常、隠れた障害が発生するため）、TSVグループを監視する統計的検出を適用して、可能な限り欠陥のある位置を特定のサイクル数でキャプチャする。次に、より多くの障害位置をさらに検出するために、TSV-OCTは、検出された疑わしいTSVを分離して、より多くのチェックを実行する。これらのTSVをエンコード/デコードプロセスから削除する分離により、TSV-OCTは、複数の欠陥によって隠れている可能性のあるより多くの欠陥位置を検出できる。誤検知の可能性があるため、TSV-OCTは、位置特定プロセスの正確性を確認する必要性から、結論を出す前に、疑わしいTSVについての再チェックを行う。時間の観点から考えると、

40

50

新しい障害に対する応答時間は、特にリアルタイムシステムにとって非常に重要であるため、システムが新しい欠陥に適切に反応できるようにする。通常、新しい欠陥の位置特定が行われると、システムは、その接続を通過したデータの整合性が破損していることを示す。破損したデータの有用性に応じて、システムは、それを受け入れるか、またはロールバックを行う必要がある。どちらの場合においても、障害位置を知ることは、リアルタイムシステムにとって非常に重要である。

【0014】

このように、局所性の観点から、システムの様々なコンポーネントの障害の動作を分析することによって、障害がより頻繁に発生している障害位置を見つけることは重要である。

10

【発明の効果】

【0015】

パフォーマンスを低下させることなく、TSVのグループの複数の障害を特定する。

【図面の簡単な説明】

【0016】

【図1】図1は、様々な戦略の下でのデータ及びテストトラフィックのシーケンスを示す図である。

【図2】図2は、3次元ICシステムでの従来のTSV組織の構成を示す図である。

【図3】図3は、従来のテスト戦略を示す図である。

【図4】図4は、本実施の形態における障害位置特定のブロック図を示す図である。

20

【図5】図5は、本実施の形態における障害位置特定のタイムチャートを示す図である。

【図6】図6は、本実施の形態におけるTSV領域の統計的検出を示す図である。

【図7】図7は、本実施の形態におけるアルゴリズム1を示す図である。

【図8】図8は、本実施の形態におけるアルゴリズム2を示す図である。

【図9】図9は、本実施の形態における分離及びチェックのステップ1から3を示す図である。

【図10】図10は、本実施の形態における分離及びチェックのステップ4及び5を示す図である。

【発明を実施するための形態】

【0017】

以下、図面を参照して本発明の実施の形態について説明する。各実施の形態は、本発明のより良い理解のために準備されている。ただし、かかる実施の形態は、本発明の技術的範囲を限定するものではない。また、本発明の範囲は、特許請求の範囲及びこれと同等のものを網羅している。

30

【0018】

従来技術とは異なり、本実施の形態におけるシステムは、パフォーマンスを低下させることなく、TSVのグループの複数の障害を特定する。さらに、障害位置の特定に失敗しても、このTSVグループを介した通信が信頼できないことをシステムが認識するのに役立つ未検出の障害があることを示すことが可能になる。また、後述する時間制約メカニズムを使用して、システムは、チェックポイント及びロールバックを適切に実行できるように、実行時間が特定の範囲内にあることを確認する。

40

【0019】

本実施の形態は、以下のもので構成される。

【0020】

1. TSV内の障害位置をキャプチャするための統計的検出メカニズム。

【0021】

2. より多くの障害を捕捉できるメカニズムの検出可能性を高める分離及びチェック技術。

【0022】

3. また、再接続及びチェックにより、誤検知のケース(TSVが正常であるが障害と

50

みなされるケース)を排除できる。

#### 【0023】

##### [従来技術]

初めに、従来技術について説明を行う。図1は、様々な戦略の下でのデータ及びテストトラフィックのシーケンスを示す図である。具体的に、図1(a)は、アプリケーショントラフィックを示す図である。図1(b)は、ブロックテストを示す図である。図1(c)は、空き時間テストのトラフィック注入を示す図である。図1(d)は、分割空き時間テスト(非特許文献9)を示す図である。図1(e)は、エラー修正コードを示す図である。

#### 【0024】

近年、3次元ICの研究が行われているが、3次元ICシステムのTSV障害に取り組むための研究についてはほとんど行われていない。

#### 【0025】

EDC/ECC(非特許文献11,22)は、TSV内の障害を通常のワイヤとして検出及び特定を行う。例えば、SEDEDは、1つを修正し、データの2つの反転ビットを検出することが可能である(非特許文献22)。これをTSVに使用すると、SEDEDは、最大1つの欠陥位置を特定することが可能である。その他のECC/EDCの方法には、SEC(シングルエラー修正)、SEDED(シングルエラー修正及びダブルエラー検出)、ED(エラー検出)、PAR(パリティコード)、CRC-4(巡回冗長検査)、OLSC(直交ラテン方格コード)及びCRC-8がある(非特許文献23)。

EDC/ECCは、通常、即時の応答時間を提供するが、検出可能/修正可能な欠陥の数によって制限される。

#### 【0026】

他のアプローチは、テスト回路またはBISTを使用するものである。非特許文献12及び13は、単純な回路を使用してオープン欠陥を検出する細粒度の方法を提示している。非特許文献12では、さらに、テストパターンをTSVに挿入し、出力をキャプチャし、さらに、論理閾値電圧を持つNANDゲートを使用してオープン欠陥を検出する。非特許文献8及び9は、ピンホール及びボイド欠陥のためのTSVのBISTの他の方法についても提示している。非特許文献24は、TSVのメモリBISTを再利用して、テスト時間を短縮する。外部テスターと結合する前に厳密な調査を行うことも(非特許文献10)、全体的な歩留まりを改善するのに役立つ。

#### 【0027】

オンラインの検出/回復のために、非特許文献25は、TSVの劣化を克服するための抵抗追跡法及びBISTを提示している。

#### 【0028】

非特許文献6で発表された研究では、オープンTSV欠陥をテストするためのテストパターンジェネレーターも提案され、非特許文献26では、テストベクトルの注入及び収集を行うために、テストアクセスポイントを使用している。非特許文献16及び27では、正確性を確保するためのテストが事前にスケジュールされている。

#### 【0029】

##### [従来のテスト方法]

P-BISTは、BISTを定期的にアクティブにする方法である。ここでは、主にNoCテストに焦点を当てて説明を行う。非特許文献19及び非特許文献28において、テスターは、定期的にアクティブになるが、テスト中のNoCのルータが非アクティブになるのを避けるために、空き時間帯にのみ実行される。また、テスト時のコアへのアクセスのしやすさを提供する。非特許文献29は、NoCのノンブロッキングテストも提示しているが、これは同様のアイデアである。非特許文献30では、3次元NoCに使用できるNoCファブリックのテストが、専用のテストデータ及び構造を使用することによって提示されている。これらの方法の共通の目標は、システムに輻輳/劣化が発生しないようにスマートなスケジュールを提供することである。これらの実験は、サイズの点で制限され

10

20

30

40

50

ているため、システムを複雑にすることで実行時間を増大させる可能性がある。

#### 【 0 0 3 0 】

冗長な実行については、スプリットリンク伝送（非特許文献 3 1）及びチャンネルコーディング（非特許文献 3 2）において提示されている。動的検証については、N o C についてのオンラインテストを行うためのいくつかの不変条件とともに、非特許文献 3 3 で提示されている。また、動的検証については、エンドツーエンドの監視とともに非特許文献 3 4 で提示されている。異常検出（非特許文献 2 5）は、低コストのハードウェアまたはソフトウェアを使用して、T S V の異常な動作を示す。これらの方法は、システムにおいて深く統合されているため効率的であるが、欠陥の位置及びリアルタイムの検出において、T S V の脆弱性に細心の注意を払って対処する必要がある。図 1 は、様々なテスト戦略を示している。図 1（b）の戦略に示されているブロッキングテスト（P - B I S T）は、テストトラフィックを送信するために、データトラフィックをブロックする必要があるが、図 1（c）及び（d）の戦略は、テストトラフィックをスケジュールするため、混雑が少なくなる。図 1（e）の戦略は、エラー訂正コードを表しており、テストがデータランザクションと一緒に実行され、輻輳もパフォーマンスの低下も引き起こされない。

10

#### 【 0 0 3 1 】

##### [ 従来システム ]

次に、従来システムについて説明を行う。上記のように、3次元ICシステムのT S V の検出及び位置特定の問題に対処する既存の様々なソリューションがあるにもかかわらず、以下に示すいくつかの問題が依然として存在している。

20

#### 【 0 0 3 2 】

第 1 に、特定の T S V ベースの 3 次元 I C の障害は、一時的、永続的、または断続的な障害によって引き起こされる。一時的な影響を除去する間、永続的または断続的である T S V 欠陥の完全な障害検出及び位置特定を提供する研究はない。

#### 【 0 0 3 3 】

第 2 に、障害検出及び位置特定についてのほとんどの従来ソリューションは、オフラインの障害に対して部分的または完全に対処することに焦点を合わせるものである。言い換えれば、試験対象装置は、試験のために操作から取り外さなければならない。しかしながら、この場合、パフォーマンスが低下し、テストの頻度が低くなる（テスト期間が長くなる）。その結果、一時的な欠陥がテスト時間において隠され、応答時間が長くなる。

30

#### 【 0 0 3 4 】

第 3 に、全ての従来アーキテクチャは、T S V の欠陥がデータを完全に破損することを想定していた。しかしながら、オープン/基板へのショート/ブリッジは、全て一貫性のない動作をしているため、隠れた欠陥が発生する。本研究は、この動作に対処するのに役立つ。

#### 【 0 0 3 5 】

第 4 に、リアルタイムシステムでは、各タスクに特定の応答時間が必要であり、障害検出と及び位置特定は、このルールに従う必要がある。どのテストスケジュールもこの制約を考慮していないが、本研究では、期限を適切に処理する。

#### 【 0 0 3 6 】

##### [ T S V グループのエラー修正コード ]

図 2 は、3次元ICシステムでの従来T S V 組織の構成を示している。図 2 に示すように、T S V には 2 つのタイプがある。

40

#### 【 0 0 3 7 】

最初のタイプは、データビット  $b_{i,j}$  であり、T S V 接続を介して送信する必要があるデータである。通常、バスベースまたはネットワークオンチップベースのシステムでは、データはわずかなデータ（8、16、32 または 64 ビット）である。同期や制御信号は、このタイプのデータと見なされる。

#### 【 0 0 3 8 】

2 番目のタイプは、障害位置の検出と位置特定に役立つパリティチェック T S V（ $r_i$

50

,  $u_j$  及び  $u$ ) である。例えば、パリティ製品コードは、次のようにエンコードされる。

【 0 0 3 9 】

【 数 1 】

$$r_i = b_{i,0} \oplus b_{i,1} \oplus \dots \oplus b_{i,N-1}$$

【 0 0 4 0 】

【 数 2 】

$$c_j = b_{0,j} \oplus b_{1,j} \oplus \dots \oplus b_{M-1,j}$$

【 0 0 4 1 】

【 数 3 】

$$u = \bigoplus_{i=0}^{N-1} \bigoplus_{j=0}^{M-1} b_{i,j}$$

【 0 0 4 2 】

デコードには、行と列のパリティチェックが使用される。

【 0 0 4 3 】

【 数 4 】

$$sr_i = b_{i,0} \oplus b_{i,1} \oplus \dots \oplus b_{i,N-1} \oplus r_i$$

20

【 0 0 4 4 】

【 数 5 】

$$sc_j = b_{0,j} \oplus b_{1,j} \oplus \dots \oplus b_{M-1,j} \oplus c_j$$

【 0 0 4 5 】

【 数 6 】

$$sr_M = c_0 \oplus c_1 \oplus \dots \oplus c_{N-1} \oplus u$$

30

【 0 0 4 6 】

【 数 7 】

$$sc_N = r_0 \oplus r_1 \oplus \dots \oplus r_{M-1} \oplus u$$

【 0 0 4 7 】

欠陥のある位置は、欠陥のある行と列をチェックすることによって示すことが可能になる。

40

【 0 0 4 8 】

【 数 8 】

$$f_{i,j} = \begin{cases} 1 & \text{if } sr_i == 1 \text{ and } sc_j == 1 \\ 0 & \text{otherwise.} \end{cases}$$

【 0 0 4 9 】

障害検出のケースは次のとおりである。

【 0 0 5 0 】

【数 9】

$$\text{Fault\_detected} = \sum_{i=0}^N sc_i \geq 2 \text{ or } \sum_{j=0}^M sr_j \geq 2$$

【0051】

ここで、PPCコードは、2つのTSV欠陥ケースを検出し、多くても1つの欠陥位置を特定できる。欠陥の数は複数になる可能性があるため、PPCは、位置を特定することができない可能性がある。

10

【0052】

[テストスケジューリング]

図3は、従来のテスト戦略を示す図である。具体的に、図3(a)は、アプリケーショントラフィックを示す図である。図3(b)は、ブロックテストを示す図である。図3(c)は、空き時間テストのトラフィック注入を示す図である。図3(d)は、分割空き時間テスト(非特許文献9)を示す図である。図3(e)は、エラー修正コードを示す図である。

【0053】

図3は、様々なテスト戦略を示している。図3(b)の戦略に示されているブロッキングテスト(P-BIST)は、テストトラフィックを送信するためにデータトラフィックをブロックする必要があるが、図3(c)及び(d)の戦略は、混雑が少なくなるテストトラフィックをスケジュールする。図3(e)の戦略は、テストがデータトランザクションと一緒に実行され、輻輳もパフォーマンスの低下も引き起こさないOCT方法を表している。

20

【0054】

明らかに、P-BISTを使用したブロッキングテストは、テストするためにテスト対象装置を切り離すため、より正確で高カバレッジのテスト結果を提供できる。しかしながら、この場合におけるトレードオフは、パフォーマンスの低下である。一部の重要なシステムでは、テストのためにデバイスを取り外すことが困難である。一方、ECCのようなノンブロッキングは、通信/操作と一緒に実行ができる。ECCの欠点は、位置特定の制限である。既に示されているように、PPC等のECCは、1つの欠陥のみの位置特定が可能である。

30

【0055】

[3D-ICのTSVにおける故障位置特定]

本実施の形態における障害位置特定のブロック図とタイムチャートとを、図4及び図5のそれぞれに示す。図4は、本実施の形態における障害位置特定のブロック図を示す図である。また、図5は、本実施の形態における障害位置特定のタイムチャートを示す図である。

【0056】

図4に示すように、本実施の形態におけるフォールトトレラントシステムにおいて、データは、分離モジュール11に送信され、次にECCエンコーダ12に送信される。コントローラ13は、分離モジュール11を管理して分離及びチェックを実行する。エンコードされたデータ(コードワード)は、レイヤー間通信を実行するためにTSVグループ21に送信される。受信したデータは、ECCデコード32に送られ、デコードによる処理結果は、コントローラ33に送信され、データは、出力データを取得するために併合モジュール31によって併合される。

40

【0057】

そして、図5に示すように、本実施の形態におけるシステムは、上記の問題を次の3つのステップで解決する：(1)統計的検出(S41~S44)、(2)分離と検出(S5

50

1 ~ S 5 5)、(3)再接続とチェック(S 6 1 ~ S 6 8)。最初のステップでは、統計的な検出を使用して、可能な限り疑わしい位置を捕捉する(S 4 1 ~ S 4 3)。次に、2番目のステップで疑わしいT S Vを分離し(S 4 4)、統計を再度実行して、より多くの障害をキャプチャする(S 5 1 ~ S 5 3)。2番目のステップは、障害が検出されなくなるか(S 5 4)、または、時間切れになるまで(デッドラインになるまで)実行される(S 5 5)。次に、最後のステップで、疑わしい各T S Vを再接続して、正常/障害状態を確認する(S 6 1)。疑わしい各T S Vを接続した状態で統計的検出を実行することにより(S 6 2 ~ S 6 4)、システムは、そのT S Vのステータスを結論付けることができる(S 6 5 ~ S 6 8)。

#### 【 0 0 5 8 】

10

##### [ 隠れたエラーの影響 ]

オープン及びショート欠陥の自然な動作の1つは、ビットの反転に関する矛盾である。T S Vに基板へのショートがあり、値「0」を送信する場合、受信機においてエラーは発生しない。一方、基板へのショートがあるT S Vを介して値「1」を送信すると、ビットが反転する。オープン障害によりタイミング違反が発生した場合、最後に送信された値と同じ値を送信してもエラーは発生しないが、異なる値を送信するとビットが反転する可能性がある。この特性により、N個の欠陥があるT S V領域には、同時にN個以下の欠陥が存在している可能性がある。

#### 【 0 0 5 9 】

##### [ 統計的検出 ]

20

図6は、T S V領域の統計的検出を示している。図6は、16データビット、PPC(4 × 4)及び3つの欠陥があるT S V領域の統計検出器の動作を示している。反転ビット欠陥T S Vは、入力が「1」である場合に「0」を出力し、隠れた欠陥T S Vは、入力が「0」である場合に「0」を出力する。具体的に、図6(a)は、隠れた欠陥がゼロの場合に対応する図である。図6(b)は、隠れた欠陥が1つの場合に対応する図である。図6(c)は、隠れた欠陥が2つの場合(ケース1)に対応する図である。図6(d)は、隠れた欠陥が2つの場合(ケース2)に対応する図である。図6(e)は、隠れた欠陥が2つの場合(ケース3)に対応する図である。図6(f)は、隠れた欠陥が3つの場合に対応する図である。図6(g)は、32トランザクションの場合における統計検出器の波形である。ここでの設定は、従来方式のPPC(4 × 4)を使用した16データビットである。また、検査欠陥タイプは、基板へのショートである。

30

#### 【 0 0 6 0 】

従来のシステムで説明したように、PPCは、1つの障害の位置を特定し、2つの障害を検出することが可能である。ここでは、隠れた障害が影響を受けるT S Vの数を減らす可能性を利用している。データが一旦受信されると、デコーダは、障害のある位置を検出して位置特定を行うことを試みる。当然のことながら、検出器は、最大J個の障害を修正し、最大K個の障害を検出できる(J < K)。T送信において、検出器は、位置特定制限(J未満)の障害を蓄積する。T送信の後、障害の累積数を閾値(Thres\_\_Loc)と比較して、破損の可能性を検出する。コストを削減するには、単純に閾値を1に設定する。ただし、ビットの反転を引き起こす可能性のあるソフトエラーを除去するために、Thres\_\_Locをより高い値に設定できる。この方法の詳細は、図7に示すアルゴリズム1に記載されている。

40

#### 【 0 0 6 1 】

ここでは、貪欲な位置特定(Opt. = 2)を使用する。行と列のチェックに失敗する限り、対応するインデックスの位置を不良と判断する。例えば、図6(b)に示されている事態では、4つの位置((2, 0)、(2, 4)、(3, 0)及び(3, 4))に障害があると見なされる。この結果は、偽陽性のケースで構成されているが、信頼性への影響は重要でない。

#### 【 0 0 6 2 】

図6は、16データビット、PPC(4 × 4)及び3つの欠陥((0, 3)、(2, 0)

50

)及び(3, 4))があるTSV領域の統計検出器の動作を示している。隠された効果のため、起こり得る4つのケースがある。

【0063】

(1)隠れた欠陥がゼロの場合(図6(a))：3つの欠陥の全てがビットの反転を引き起こすため、検出器は修正に失敗する。

【0064】

(2)隠れた欠陥が1つの場合(図6(b))：2つの欠陥によりビットが反転するため、検出器は修正に失敗するが、システムに警告する可能性がある。

【0065】

(3)隠れた欠陥が2つの場合(図6(c)から(e))：検出器は1つの欠陥位置の特定に成功する。

10

【0066】

(4)隠れた欠陥が3つの場合(図6(f))：隠れたエラーのためにシステムに警告を出すことはできない。

【0067】

ここでは、誤検知のケースは重大な問題ではないため、貪欲なバージョン(Opt. = 2)の使用を選択している。図6(g)に示すように、貪欲な位置特定オプションは、障害のある位置を可能な限りカバーしようとする。1つの隠れた欠陥(図6(b))のヒットは、4つの位置((2, 0)、(2, 4)、(3, 0)及び(3, 4))が不良であることを示す。これらの誤検知は、後述するように、分離及びチェックのアルゴリズムを使用して削除可能である。

20

【0068】

[分離及びチェック]

図8のアルゴリズム2に示されている分離及びチェックは、偽陽性と偽陰性の両方のケースを解決するために使用される。専用のテスターを近づけることが困難である場合があるため、分離及びチェックの方法は、PPCの再利用に基づいてこの問題を解決することを目的とする。このアルゴリズムは、以下の手順に従う。

【0069】

(ステップ1)統計検出器を使用して障害位置を検出する。これらの場所は、疑わしいTSVと見なされる。貪欲な位置特定を使用して、疑わしいTSVを可能な限り捕捉する。偽陽性のTSVは再確認され、後で修正される。

30

【0070】

(ステップ2)システムは、疑わしいTSVをエンコード/デコードプロセスから事実上分離する。ただし、それらはまだデータランザクションに使用される。言い換えれば、疑わしいTSVは、(1)及び(2)のパリティビット関数から削除される。列、行及び最終的なパリティビットを削除できないが、システムは、必要に応じてパリティビットを異なる位置に切り替えることができる。

【0071】

(ステップ3)障害が検出されなくなるか、期限が切れるまで(デッドラインまで)、ステップ1から3を再実行する。

40

【0072】

(ステップ4)分離された各TSVの再割り当てを行う。TSVは、エンコードおよびデコードプロセスに再度取り付けられる。専用のテストが利用可能な場合、それを使用するとテスト時間を短縮できる。

【0073】

(ステップ5)ステップ4の後、分離されたTSVを持つTSV領域がまだ障害として検出されている場合、分離及びチェックによって認識できない障害がある。ここでは、TSV領域全体に欠陥があると考えられる。システムは、より高いカバレッジを持つように分離とチェックを繰り返すこともできる。

【0074】

50

全ての疑わしいTSVを無効にし、統計検出器を再実行することにより、システムは、より多くの障害を特定できる。図9の場合を考えた場合、統計検出器を1回使用した後、図9(a)に示すように、2つのTSV(0,1)及び(2,3)がデコード及びエンコードから削除される。疑わしいTSVを分離した後、システムは、チェック時間が終了するまで実行を続ける(T=32トランザクション)。図9(f)におけるD7に示すように、1つの隠れた欠陥ケース(図9(a))が再度ヒットすると、システムは(2,1)を検出できる。(2,1)が疑わしいと結論付けた後、システムは、次の実行のためにそれを分離する。(0,1)、(2,1)及び(2,3)が分離されると、隠れた欠陥がゼロである場合におけるヒットは、最後の欠陥である(0,3)を示すことが可能になる(図9(d)及び図9(f)におけるD55)。ステップ3の最後に位置が検出されない場合、分離及びチェックは、全ての不良位置をカバーできる。ただし、誤検出のケースが残されている。

10

#### 【0075】

分離及びチェックアルゴリズムにおけるステップ4及び5を図10に示す。ステップ3の最後に(図9を参照)、疑いとして4つの位置が示されている。ステップ4及び5において、アルゴリズムは、疑わしいTSVのそれぞれを再度有効にしてその正当性を確認する。アルゴリズムは、最初に、TSVにおける(0,1)を有効にし、データトランザクションを実行する。このTSVに欠陥があり、図10(f)のD11において欠陥のある出力を引き起こすため、システムは、T送信後に欠陥があると簡単に結論付けることができる。誤検出のケース(TSVにおける(2,3))が再度有効になっている場合、障害のある出力は見つからない。システムはそれを障害なしと判断し、リストから削除できる。疑わしいTSVのそれぞれをテストした後、システムは、最終的に障害のある位置を結論付けることができる。

20

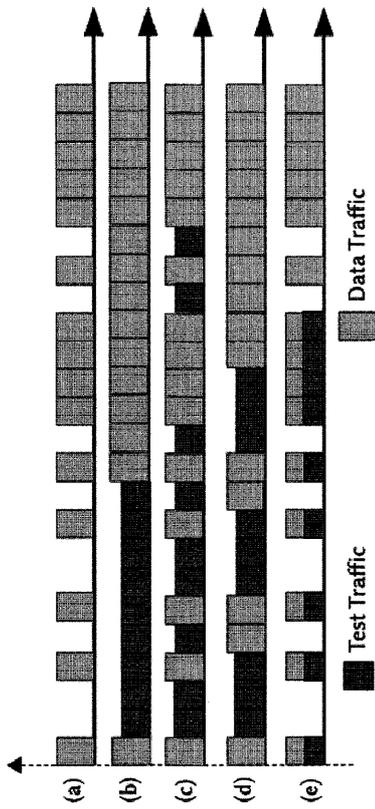
#### 【符号の説明】

#### 【0076】

- 11：分離モジュール
- 12：ECCエンコーダ
- 13：コントローラー
- 21：TSVグループ
- 31：併合モジュール
- 32：ECCデコード
- 33：コントローラー

30

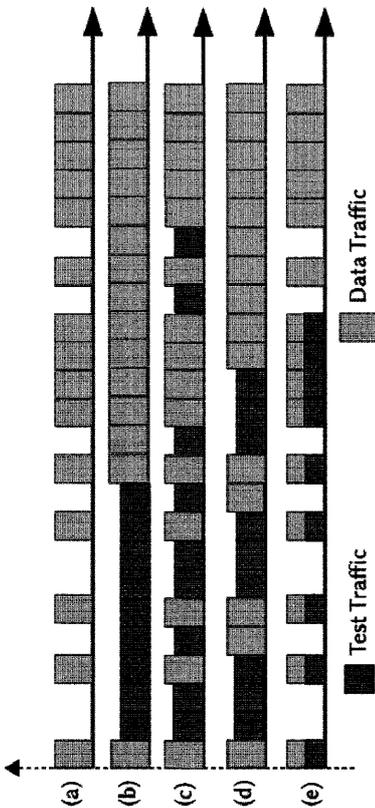
【 図 1 】



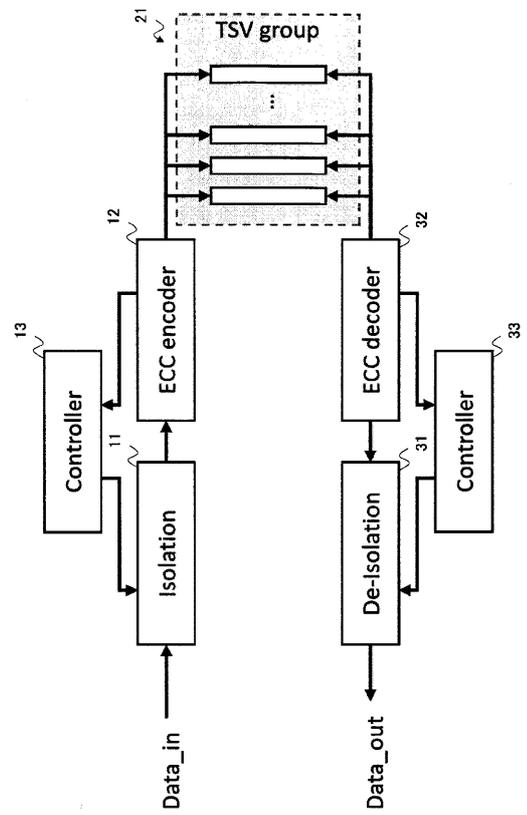
【 図 2 】

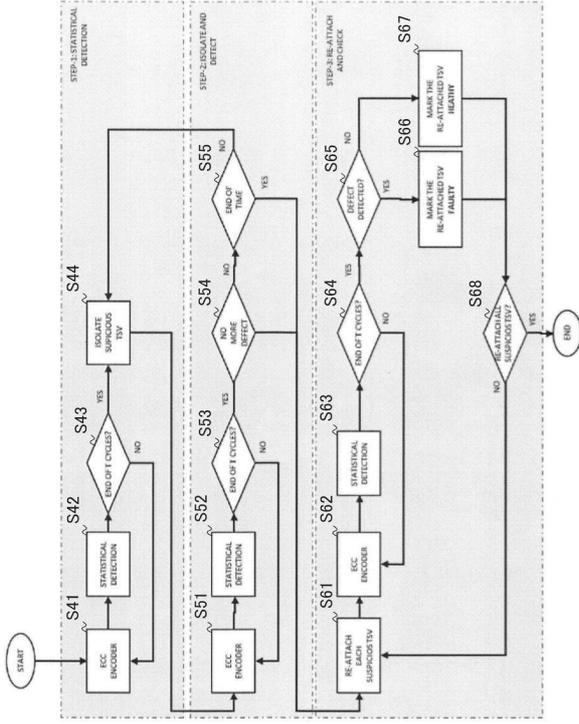
$$F_k = \begin{bmatrix} b_{0,0} & b_{0,1} & b_{0,2} & \dots & b_{0,N-1} & r_0 \\ b_{1,0} & b_{1,1} & b_{1,2} & \dots & b_{1,N-1} & r_1 \\ \vdots & \vdots & \vdots & \dots & \vdots & \vdots \\ b_{M-1,0} & b_{M-1,1} & b_{M-1,2} & \dots & b_{M-1,N-1} & r_{M-1} \\ c_0 & c_1 & c_2 & \dots & c_{N-1} & u \end{bmatrix}$$

【 図 3 】



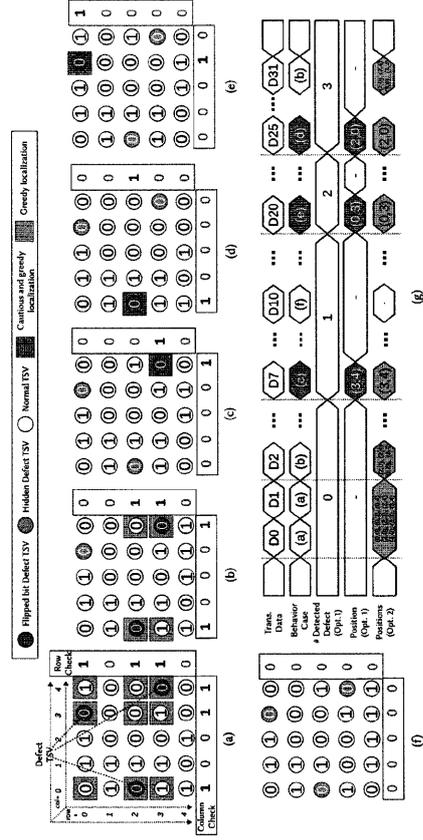
【 図 4 】





```

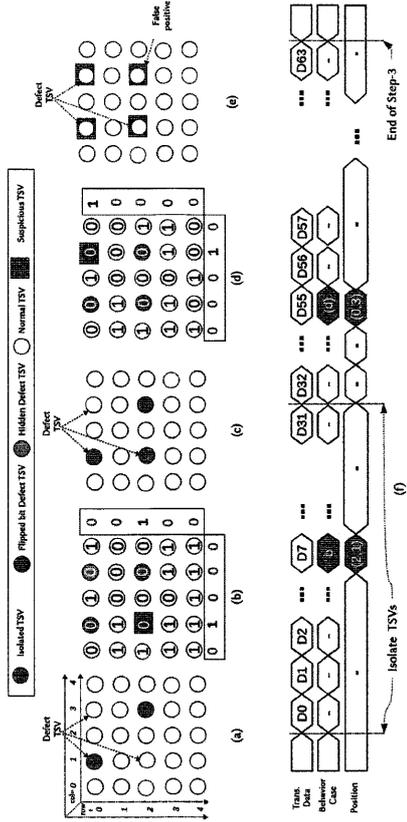
Algorithm 1 Statistical Detector Using PPC
// Option for cautious/greedy localization
Input: Opt.
// Column Check (CC) and Row Check (RC)
Input: CC[1:N], RC[1:M]
// Threshold for Localization
Input: Thres_Loc
// Fault indexes
Output: Fault[1:N][1:M]
1 Fault[1:N][1:M] = 0;
2 for (i = 1; i <= N; i++) do
3   for (j = 1; j <= M; j++) do
4     // Cautious localization
5     if Opt == 1 and  $\sum CC == 1$  and  $\sum RC == 1$  then
6       Fault[i][j] = 1;
7     // Greedy localization
8     if Opt == 2 and  $CC[i] == 1$  and  $RC[j] == 1$  then
9       Fault[i][j] = 1;
10    for (i = 1; i <= N; i++) do
11      for (j = 1; j <= M; j++) do
12        if Fault[i][j] >= Thres_Loc then
13          Fault[i][j] = 1;
14    else
15      Fault[i][j] = 0;
  
```



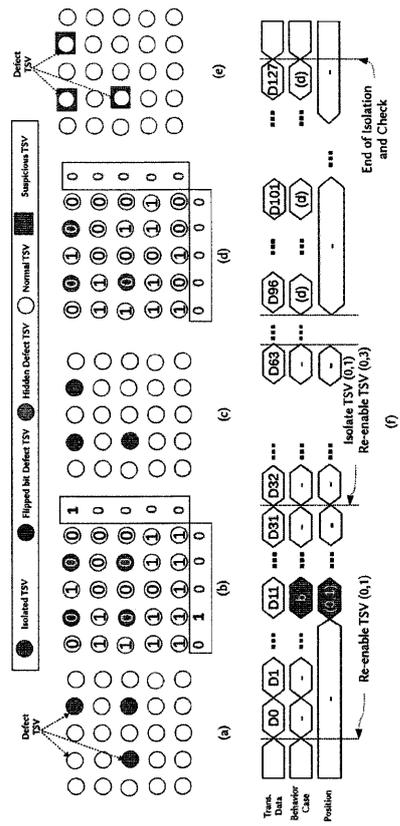
```

Algorithm 2 Isolation-and-Check Algorithm
// Column Check (CC) and Row Check (RC)
Input: CC[1:N], RC[1:M]
// Threshold for Localization
Input: Thres_Loc
// Fault indexes
Output: Fault[1:N][1:M]
// Run the first time
1 Isolation[1:N][1:M] = 0;
2 Fault[1:N][1:M] = Statistical_Detector(CC, RC, Thres_Loc);
// Isolate fault and recheck the second time
3 Isolation[1:N][1:M] = Fault[1:N][1:M]; Fault[1:N][1:M] +=
  Statistical_Detector();
// Un-isolate each position and recheck the second
  time
4 for (i = 1; i <= N; i++) do
5   for (j = 1; j <= M; j++) do
6     if Fault[i][j] == 1 then
7       Isolation[i][j] = 0;
8       TempFault[1:N][1:M] = Statistical_Detector();
9       if TempFault[i][j] == 0 then
10        Fault[i][j] = 0;
11      else
12        Isolation[i][j] = 1;
  
```

【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 25/18 (2023.01)

特許法第30条第2項適用 (1)令和1年10月1日に [https://mcsoc-forum.org/m2019/wp-content/uploads/2019/10/Khanh\\_OCTT.pdf](https://mcsoc-forum.org/m2019/wp-content/uploads/2019/10/Khanh_OCTT.pdf)にて発表。(2)令和1年10月1日に 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip(MCSoC-2019)論文集 第223~228頁にて発表。(3)令和1年10月3日に 2019 IEEE 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip(MCSoC-2019)にて発表。(4)令和1年11月21日に <https://ieeexplore.ieee.org/document/8906722>にて発表。(5)令和1年11月7日に <https://ieeexplore.ieee.org/document/8894077>にて発表。(6)令和2年3月に IEEE Transactions on Very Large Scale Integration(VLSI)Systems 第28巻 第3号 第672~685頁にて発表。

(72)発明者 ダン ナム カイン  
ベトナム社会主義共和国 ハノイ カウ ザイ ディストリクト スアン トウイ ストリート  
144 ベトナム国家大学ハノイ校内

審査官 阿部 弘

(56)参考文献 国際公開第2016/038673(WO, A1)  
米国特許出願公開第2013/0230932(US, A1)  
特開平07-020208(JP, A)  
Tsung-Chu Huang, Cluster Error Correction for Real-Time Channels by Unbound Rotation of Two-Dimensional Parity-Check Codes, IEEE Communications Letters, IEEE, 2015年04月17日, Volume: 19, Issue: 6, pp. 917 - 920, <https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=7088552>

(58)調査した分野(Int.Cl., DB名)  
H 0 3 M 13 / 11  
H 0 1 L 21 / 822  
H 0 1 L 25 / 07  
I E E E X p l o r e